

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Takahiko KISHI Examiner: Not Yet Assigned
Serial No: 10/733,526 Group Art Unit: Not Yet Assigned
Filed: December 11, 2003 Docket: 678-1313

For: **NUMERICAL CONTROL OSCILLATOR, Dated: February 11, 2004**
DIGITAL FREQUENCY CONVERTER
AND RADIO FREQUENCY UNIT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Enclosed is a certified copy of Japanese Appln. No. 2002-359773 filed on December 11, 2002, from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

Paul J. Farrell
Registration No. 33,494
Attorney for Applicants

DILWORTH & BARRESE, LLP
333 Earle Ovington Boulevard
Uniondale, New York 11553
(516) 228-8484

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8 (a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner of Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on February 11, 2004.

Dated: February 11, 2004

Paul J. Farrell

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月11日

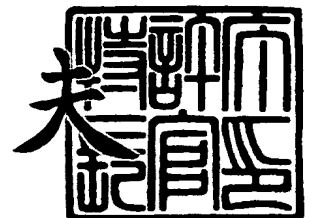
出願番号
Application Number: 特願2002-359773
[ST. 10/C]: [JP2002-359773]

出願人
Applicant(s): 三星電子株式会社

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3099100

【書類名】 特許願

【整理番号】 02102109

【提出日】 平成14年12月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H03B 28/00
H03D 7/00

【発明の名称】 数値制御発振器、デジタル周波数コンバータ及び無線機

【請求項の数】 19

【発明者】

【住所又は居所】 神奈川県横浜市鶴見区菅沢町 2 - 7 株式会社サムスン
横浜研究所 電子研究所内

【氏名】 岸 孝彦

【特許出願人】

【識別番号】 598045058

【氏名又は名称】 株式会社サムスン横浜研究所

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9812566

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 数値制御発振器、ディジタル周波数コンバータ及び無線機

【特許請求の範囲】

【請求項 1】 位相データを保持するレジスタと、入力された位相差データと前記レジスタの出力する位相データとの加算または減算を行う演算器とを用いて、前記位相差データの累算を行い位相データを生成する位相累算器と、

前記位相累算器が生成する位相データに対応した振幅データを出力する位相振幅変換テーブルを実現するメモリと

を具備し、サンプリング周波数 F_s の信号を出力する数値制御発振器において、

要求された出力信号の周波数設定間隔の上限値を F_D とし、 K 及び L を任意の整数とした場合、

前記位相累算器の演算器が、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M を法として、前記位相差データと前記レジスタの出力する位相データとをモジュロ演算により加算または減算し、

前記位相振幅変換テーブルが、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を出力することを特徴とする数値制御発振器。

【請求項 2】 請求項 1 に記載の数値制御発振器を局部発振器として、入力信号に周波数変換を行う周波数変換器を備え、サンプリング周波数 F_s でサンプリングされた前記入力信号を、前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、

要求された前記入力信号の周波数設定間隔を F_D とすると共に、 K 及び L を任意の整数とした場合、

前記周波数変換器は、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M を法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とするディジタルダウンコンバータ。

【請求項 3】 請求項 1 に記載の数値制御発振器を第 1 の局部発振器として

、入力信号に周波数変換を行う第1の周波数変換器と、請求項1に記載の数値制御発振器を第2の局部発振器として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器とを備え、サンプリング周波数 F_{s1} でサンプリングされた前記入力信号を、2回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するデジタルダウンコンバータであって

、
要求された前記入力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、

前記第1の周波数変換器は、 $M_1 = F_{s1} / F_D \times K_1 / L_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $F_{D1} = F_D / K_1 \times L_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第2の周波数変換器は、入力された信号のサンプリング周波数を F_{s2} とすると、 $M_2 = F_{s2} / (F_D \bmod F_{D1}) \times K_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $F_{D2} = (F_D \bmod F_{D1}) / K_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とするデジタルダウンコンバータ。

【請求項4】 請求項1に記載の数値制御発振器を第1の局部発振器として、入力信号に周波数変換を行う第1の周波数変換器と、請求項1に記載の数値制御発振器を第2の局部発振器として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器とを備え、サンプリング周波数 F_{s1} でサンプリングされた前記入力信号を、2回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するデジタルダウンコンバータであって

、
要求された前記入力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、

前記第1の周波数変換器は、 $M_1 = F_{s1} / F_D \times K_1 / L_1$ で計算される M

1の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD1 = FD / K1 \times L1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第2の周波数変換器は、入力された信号のサンプリング周波数を F_{s2} とすると、 $M2 = F_{s2} / (FD1 \bmod FD) \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = (FD1 \bmod FD) / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とするデジタルダウンコンバータ。

【請求項5】 請求項1に記載の数値制御発振器を第1の局部発振器として、入力信号に周波数変換を行う第1の周波数変換器と、請求項1に記載の数値制御発振器を第2の局部発振器として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器とを備え、サンプリング周波数 F_{s1} でサンプリングされた前記入力信号を、2回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するデジタルダウンコンバータであって、

要求された前記入力信号の周波数設定間隔を FD とすると共に、 $K1$ 、 $K2$ 、及び $L1$ を任意の整数とした場合、

前記第1の周波数変換器は、 $M1 = F_{s1} / FD \times K1 / L1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD1 = FD / K1 \times L1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第2の周波数変換器は、入力された信号のサンプリング周波数を F_{s2} とすると、 $M2 = F_{s2} / FD \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = FD / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とするデジタルダウンコンバータ。

【請求項 6】 前記第 2 の周波数変換器が周波数変換を停止することを特徴とする請求項 3 から請求項 5 のいずれかに記載のデジタルダウンコンバータ。

【請求項 7】 請求項 1 に記載の数値制御発振器を局部発振器として、入力信号に周波数変換を行う周波数変換器を備え、前記入力信号を、前記入力信号より高い周波数の信号へ変換すると共に、サンプリング周波数 F_s でサンプリングされた出力信号として出力するデジタルアップコンバータであって、

要求された出力信号の周波数設定間隔を F_D とすると共に、 K 及び L を任意の整数とした場合、

前記周波数変換器は、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M を法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とするデジタルアップコンバータ。

【請求項 8】 請求項 1 に記載の数値制御発振器を第 1 の局部発振器として、入力信号に周波数変換を行う第 1 の周波数変換器と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器とを備え、前記入力信号を、2 回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数 F_{s2} でサンプリングされた出力信号として出力するデジタルアップコンバータであって、

要求された前記出力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、

前記第 2 の周波数変換器は、 $M_2 = F_{s2} / F_D \times K_2 / L_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F_{D2} = F_D / K_2 \times L_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_1 = F_{s1} / (F_D \bmod F_{D2}) \times K_1$ で計算される M_1 の中

で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD1 = (FD \bmod FD2) / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とするデジタルアップコンバータ。

【請求項9】 請求項1に記載の数値制御発振器を第1の局部発振器として、入力信号に周波数変換を行う第1の周波数変換器と、請求項1に記載の数値制御発振器を第2の局部発振器として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器とを備え、前記入力信号を、2回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数 $Fs2$ でサンプリングされた出力信号として出力するデジタルアップコンバータであって、

要求された前記出力信号の周波数設定間隔を FD とすると共に、 $K1$ 、 $K2$ 、及び $L2$ を任意の整数とした場合、

前記第2の周波数変換器は、 $M2 = Fs2 / FD \times K2 / L2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = FD / K2 \times L2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第1の周波数変換器は、入力された信号のサンプリング周波数を $Fs1$ とすると、 $M1 = Fs1 / (FD2 \bmod FD) \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD1 = (FD2 \bmod FD) / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とするデジタルアップコンバータ。

【請求項10】 請求項1に記載の数値制御発振器を第1の局部発振器として、入力信号に周波数変換を行う第1の周波数変換器と、請求項1に記載の数値制御発振器を第2の局部発振器として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器とを備え、前記入力信号を、2回の周波

数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数 F_{s2} でサンプリングされた出力信号として出力するデジタルアップコンバータであって、

要求された前記出力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、

前記第 2 の周波数変換器は、 $M_2 = F_{s2} / F_D \times K_2 / L_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F_{D2} = F_D / K_2 \times L_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_1 = F_{s1} / F_D \times K_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $F_{D1} = F_D / K_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とするデジタルアップコンバータ。

【請求項 1 1】 前記第 1 の周波数変換器が周波数変換を停止することを特徴とする請求項 8 から請求項 1 0 のいずれかに記載のデジタルアップコンバータ。

【請求項 1 2】 サンプリング周波数 F_s で動作する請求項 1 に記載の数値制御発振器を、通倍比 P (P は整数) の PLL 回路のリファレンスとした第 1 の局部発振器を用いて、受信信号に周波数変換を行う第 1 の周波数変換器と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器と、前記第 2 の周波数変換器が出力する信号を復調して受信データを抽出する復調器とを備え、前記受信信号を、2 回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、

要求された前記受信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、

前記第1の周波数変換器は、 $M1 = F_s / F_D \times K1 / L1 \times P$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FDP = F_D / K1 \times L1$ で計算される FDP ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第2の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M2 = F_{s1} / (F_D \bmod FDP) \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = (F_D \bmod FDP) / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする受信機。

【請求項13】 サンプリング周波数 F_s で動作する請求項1に記載の数値制御発振器を、通倍比 P (P は整数)のPLL回路のリファレンスとした第1の局部発振器を用いて、受信信号に周波数変換を行う第1の周波数変換器と、請求項1に記載の数値制御発振器を第2の局部発振器として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器と、前記第2の周波数変換器が出力する信号を復調して受信データを抽出する復調器とを備え、前記受信信号を、2回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、

要求された前記受信信号の周波数設定間隔を F_D とすると共に、 $K1$ 、 $K2$ 、及び $L1$ を任意の整数とした場合、

前記第1の周波数変換器は、 $M1 = F_s / F_D \times K1 / L1 \times P$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FDP = F_D / K1 \times L1$ で計算される FDP ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第2の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} と

すると、 $M2 = F_{s1} / (FD \bmod FD) \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = (FD \bmod FD) / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とする受信機。

【請求項14】 サンプリング周波数 F_s で動作する請求項1に記載の数値制御発振器を、通倍比 P (P は整数) の PLL 回路のリファレンスとした第1の局部発振器を用いて、受信信号に周波数変換を行う第1の周波数変換器と、請求項1に記載の数値制御発振器を第2の局部発振器として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器と、前記第2の周波数変換器が出力する信号を復調して受信データを抽出する復調器とを備え、前記受信信号を、2回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、

要求された前記受信信号の周波数設定間隔を FD とすると共に、 $K1$ 、 $K2$ 、及び $L1$ を任意の整数とした場合、

前記第1の周波数変換器は、 $M1 = F_s / FD \times K1 / L1 \times P$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD \bmod FD = FD / K1 \times L1$ で計算される $FD \bmod FD$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第2の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M2 = F_{s1} / FD \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = FD / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とする受信機。

【請求項15】 前記第2の周波数変換器が周波数変換を停止する

ことを特徴とする請求項 1 2 から請求項 1 4 のいずれかに記載の受信機。

【請求項 1 6】 送信データにより変調されたベースバンド送信信号を出力する変調器と、請求項 1 に記載の数値制御発振器を第 1 の局部発振器として、前記変調器の出力信号に周波数変換を行う第 1 の周波数変換器と、サンプリング周波数 F_s で動作する請求項 1 に記載の数値制御発振器を逡倍比 P (P は整数) の PLL 回路のリファレンスとした第 2 の局部発振器を用いて、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器とを備え、前記ベースバンド送信信号を、2 回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、

要求された前記送信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、

前記第 2 の周波数変換器は、 $M_2 = F_s / F_D \times K_2 / L_2 \times P$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F_{DP} = F_D / K_2 \times L_2$ で計算される F_{DP} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_1 = F_{s1} / (F_D \bmod F_{DP}) \times K_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $F_{D1} = (F_D \bmod F_{DP}) / K_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とする送信機。

【請求項 1 7】 送信データにより変調されたベースバンド送信信号を出力する変調器と、請求項 1 に記載の数値制御発振器を第 1 の局部発振器として、前記変調器の出力信号に周波数変換を行う第 1 の周波数変換器と、サンプリング周波数 F_s で動作する請求項 1 に記載の数値制御発振器を逡倍比 P (P は整数) の PLL 回路のリファレンスとした第 2 の局部発振器を用いて、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器とを備え、前記ベ

ースバンド送信信号を、2回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、

要求された前記送信信号の周波数設定間隔をFDとすると共に、K1、K2、及びL2を任意の整数とした場合、

前記第2の周波数変換器は、 $M2 = F_s / FD \times K2 / L2 \times P$ で計算されるM2の中で整数となるM2を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FDP = FD / K2 \times L2$ で計算されるFDPステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、

前記第1の周波数変換器は、入力された信号のサンプリング周波数をFs1とすると、 $M1 = F_{s1} / (FDP \bmod FD) \times K1$ で計算されるM1の中で整数となるM1を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD1 = (FDP \bmod FD) / K1$ で計算されるFD1ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とする送信機。

【請求項18】 送信データにより変調されたベースバンド送信信号を出力する変調器と、請求項1に記載の数値制御発振器を第1の局部発振器として、前記変調器の出力信号に周波数変換を行う第1の周波数変換器と、サンプリング周波数Fsで動作する請求項1に記載の数値制御発振器を逡倍比P（Pは整数）のPLL回路のリファレンスとした第2の局部発振器を用いて、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器とを備え、前記ベースバンド送信信号を、2回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、

要求された前記送信信号の周波数設定間隔をFDとすると共に、K1、K2、及びL2を任意の整数とした場合、

前記第2の周波数変換器は、 $M2 = F_s / FD \times K2 / L2 \times P$ で計算されるM2の中で整数となるM2を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FDP = FD / K2 \times L2$ で計算され

る F D P ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い

、
前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M1 = F_{s1} / FD \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $FD1 = FD / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とする送信機。

【請求項 19】 前記第 1 の周波数変換器が周波数変換を停止することを特徴とする請求項 16 から請求項 18 のいずれかに記載の送信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル信号処理により受信信号周波数を復調器入力信号へ変換するための数値制御発振器と、これを備えたデジタル周波数コンバータ、及び無線機に関する。

【0002】

【従来の技術】

従来、位相データの累算部と、累算部により計算された位相に対応する正弦波データを出力するメモリ（例えば ROM：Read Only Memory）とを備え、出力周波数 F が、 j を位相演算語長、 F_s をサンプリング周波数として、

$$F = (F_s \times R) / 2^j \quad \dots (1)$$

（但し R は任意の整数）と定義される数値制御発振器（NCO：Numerical Control Oscillator）、あるいは NCO の出力をアナログ信号化して出力する DDS（direct digital synthesizer）を利用して目的の周波数を得る場合、200 [KHz] のステップで出力周波数を変更するためには、数値制御発振器が出力する信号のサンプリング周波数を $200 [KHz] \times 2^j$ とするか、位相演算語長 j を大きくする（ビット数を増やす）ことにより、位相の分解能、すなわち周波数分解度を向上させて、目的の周波数と数値制御発振器の出力周波数との差を、

許容偏差以内の周波数とするしかなかった。

【0003】

例えば、出力周波数 F が 1.92 [GHz] で、許容出力周波数偏差 Δf が 0.1 [ppm] の精度で求められるシステムの場合、サンプリング周波数 F_s を 153.6 [MHz] とすると、位相演算語長 j は、

$$\begin{aligned} j &= \log_2 (F_s / \Delta f) \quad \dots (2) \\ &= \log_2 (153.6 \times 10^6 / (1.92 \times 10^9 \times 0.1 \times 10^{-6})) \\ &\doteq 19.61 \end{aligned}$$

と求められ、目的の位相演算語長 j は 20 ビット必要であることがわかる。

【0004】

ところで、位相演算語長 j を大きくする場合、スプリアスの発生しない出力を得ようとする、メモリの演算語長 k (メモリのアドレスのビット数) と位相演算語長 j とを同一 ($j = k$) にする必要があり、メモリのサイズの増加を抑えるために、メモリの演算語長 k に対して位相演算語長 j を大きくする ($j > k$) と、位相演算部が出力するアドレス語長 (メモリの演算語長) を再量子化することになるため、この再量子化による周期性を持つ誤差 e_P が発生し、数値制御発振器の出力にスプリアスとして出現することが知られている。(例えば、非特許文献1参照。)

【0005】

一方、位相演算部のアドレス語長の再量子化により発生するスプリアスを抑圧する方法としては、例えばディザによる誤差拡散やエラーのフィードバックによる方法が知られている (例えば、非特許文献2参照。)

【0006】

【非特許文献1】

ヘンリー・ティー・ニコラス3世 (Henry T Nicholas, III)、ヘンリー・サムエリ (Henry Samueli)、「位相累算器にトランケーションがある場合のダイレクト・デジタル周波数合成器の出力スペクトルに関する解析 (An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Phase-Accumulator Truncation)」、プロシーディング アニュアル フ

リクエンシィ コントロール シンポジウム (Proc. Annual Frequency Control Symposium)、1987、pp 495-502

【非特許文献2】

ジョウコ バンカ (Jouko Vankka)、「正弦波出力直接ディジタル合成におけるスプリアス低減法 (Spur. Reduction Techniques in sine output Direct Digital Synthesis)」、アイ・トリプル・イー インターナショナル フリクエンシィ コントロール シンポジウム (IEEE International Frequency Control Symposium)、1996、pp 951-959

【0007】

【発明が解決しようとする課題】

しかし、従来は、非特許文献1に記載のように、位相演算部のアドレス語長の再量子化により、出力にスプリアスが発生することが分かっているものの、メモリのサイズの増加を抑えるために、メモリの演算語長 k に対して位相演算語長 j を大きくせざるを得なかった。

また、非特許文献2に記載の方法を用いる場合、本来の目的以外の付加回路が必要になるため、メモリのサイズが増加しなくとも、付加回路の増加による化回路規模の増大するという問題があった。更に、ディザによる誤差拡散を用いてスプリアスを抑圧する場合、ノイズレベル (ノイズフロア) の上昇があるため、必ずしも有効な方法ではないという問題があった。

更に、サンプリング周波数を必要とする周波数ステップの 2^j 倍とする場合、リファレンス周波数の生成が困難であるという問題があった。

【0008】

本発明は、上記問題点に鑑みてなされたもので、要求される周波数偏差を守りつつ回路規模と消費電力を削減し、スプリアスの発生を可能な限り抑圧した数値制御発振器と、これを備えたディジタル周波数コンバータ、及び無線機を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記課題を解決するために、請求項1の発明に係る数値制御発振器は、位相デ

ータを保持するレジスタ（例えば実施の形態の位相レジスタ 1 a）と、入力された位相差データと前記レジスタの出力する位相データとの加算または減算を行う演算器（例えば実施の形態の位相演算器 1 b）とを用いて、前記位相差データの累算を行い位相データを生成する位相累算器（例えば実施の形態の位相累算器 1）と、前記位相累算器が生成する位相データに対応した振幅データを出力する位相振幅変換テーブルを実現するメモリ（例えば実施の形態の ROM 2）とを具備し、サンプリング周波数 F_s の信号を出力する数値制御発振器において、要求された出力信号の周波数設定間隔の上限値を F_D とし、 K 及び L を任意の整数とした場合、前記位相累算器の演算器が、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M を法として、前記位相差データと前記レジスタの出力する位相データとをモジュロ演算により加算または減算し、前記位相振幅変換テーブルが、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を出力することを特徴とする。

【0010】

以上の構成を備えた数値制御発振器は、サンプリング周波数 F_s の信号を出力する数値制御発振器であって、要求された出力信号の周波数設定間隔の上限値を F_D とし、 K 及び L を任意の整数とすると、 M 個（但し、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M ）の振幅データを位相振幅変換テーブルに用意し、位相累算器により、位相差データを M を法とするモジュロ演算を用いて累加算または累減算して生成した位相データを、位相振幅変換テーブルのアドレスとして入力すると、位相振幅変換テーブルの出力として、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を得ることができる。

【0011】

請求項 2 の発明に係るデジタルダウンコンバータは、請求項 1 に記載の数値制御発振器を局部発振器（例えば実施の形態の局部発振器 12 a）として、入力信号に周波数変換を行う周波数変換器（例えば実施の形態の周波数変換器 12）を備え、サンプリング周波数 F_s でサンプリングされた前記入力信号を、前記入力信号より低い周波数の出力信号へ変換して出力するデジタルダウンコンバー

タであって、要求された前記入力信号の周波数設定間隔を F_D とすると共に、 K 及び L を任意の整数とした場合、前記周波数変換器は、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M を法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0012】

以上の構成を備えたデジタルダウンコンバータは、サンプリング周波数 F_s でサンプリングされた入力信号を、該入力信号より低い周波数の信号へ変換して出力する際に、要求された入力信号の周波数設定間隔を F_D とすると共に、 K 及び L を任意の整数とすると、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を局部発振器として発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、入力信号の周波数設定間隔 F_D が周波数変換器の周波数設定間隔 dF 以上でかつ F_D が dF で割り切れる場合には、周波数設定間隔 F_D で入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【0013】

請求項 3 の発明に係るデジタルダウンコンバータは、請求項 1 に記載の数値制御発振器を第 1 の局部発振器（例えば実施の形態の局部発振器 31a）として、入力信号に周波数変換を行う第 1 の周波数変換器（例えば実施の形態の周波数変換器 31）と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器（例えば実施の形態の局部発振器 33a）として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器（例えば実施の形態の周波数変換器 33）とを備え、サンプリング周波数 F_{s1} でサンプリングされた前記入力信号を、2 回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するデジタルダウンコンバータであって、要求された前記入力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、前記第 1 の周波数変換器は、 $M_1 = F_{s1} / F_D \times K_1 / L_1$ で計算される M

1の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD1 = FD / K1 \times L1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第2の周波数変換器は、入力された信号のサンプリング周波数を $Fs2$ とすると、 $M2 = Fs2 / (FD \bmod FD1) \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = (FD \bmod FD1) / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0014】

以上の構成を備えたデジタルダウンコンバータは、サンプリング周波数 $Fs1$ でサンプリングされた入力信号を、2回の周波数変換によって、該入力信号より低い周波数の信号へ変換して出力する。この時、要求された入力信号の周波数設定間隔を FD とすると共に、 $K1$ 、 $K2$ 、及び $L1$ を任意の整数とすると、入力信号の周波数設定間隔 FD が第1の周波数変換器の周波数設定間隔 $FD1$ 以上でかつ FD が $FD1$ で割り切れない場合、デジタルダウンコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、 $FD1 = FD / K1 \times L1$ で計算される $FD1$ ステップの周波数設定間隔を持つ請求項1に記載の数値制御発振器を第1の局部発振器として発生した周波数信号を用いて、第1の周波数変換器が入力信号を周波数変換する。次に、 $FD2 = (FD \bmod FD1) / K2$ で計算される $FD2$ ステップの周波数設定間隔を持つ請求項1に記載の数値制御発振器を第2の局部発振器として発生した周波数信号を用いて、第2の周波数変換器が更に第1の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔 FD で入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【0015】

請求項4の発明に係るデジタルダウンコンバータは、請求項1に記載の数値制御発振器を第1の局部発振器（例えば実施の形態の局部発振器31a）として、入力信号に周波数変換を行う第1の周波数変換器（例えば実施の形態の周波数

変換器 31) と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器 (例えば実施の形態の局部発振器 33a) として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器 (例えば実施の形態の周波数変換器 33) とを備え、サンプリング周波数 F_{s1} でサンプリングされた前記入力信号を、2 回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するデジタルダウンコンバータであって、要求された前記入力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、前記第 1 の周波数変換器は、 $M_1 = F_{s1} / F_D \times K_1 / L_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $F_{D1} = F_D / K_1 \times L_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第 2 の周波数変換器は、入力された信号のサンプリング周波数を F_{s2} とすると、 $M_2 = F_{s2} / (F_{D1} \bmod F_D) \times K_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F_{D2} = (F_{D1} \bmod F_D) / K_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0016】

以上の構成を備えたデジタルダウンコンバータは、サンプリング周波数 F_{s1} でサンプリングされた入力信号を、2 回の周波数変換によって、該入力信号より低い周波数の信号へ変換して出力する。この時、要求された入力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とすると、入力信号の周波数設定間隔 F_D が第 1 の周波数変換器の周波数設定間隔 F_{D1} 未満でかつ F_{D1} が F_D で割り切れない場合、デジタルダウンコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、 $F_{D1} = F_D / K_1 \times L_1$ で計算される F_{D1} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器が入力信号を周波数変換する。次に、 $F_{D2} = (F_{D1} \bmod F_D) / K_2$ で計算される F_{D2} ステップの周波数設定間隔を持つ請求項 1 に記載の数

値制御発振器を第2の局部発振器として発生した周波数信号を用いて、第2の周波数変換器が更に第1の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔FDで入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【0017】

請求項5の発明に係るデジタルダウンコンバータは、請求項1に記載の数値制御発振器を第1の局部発振器（例えば実施の形態の局部発振器31a）として、入力信号に周波数変換を行う第1の周波数変換器（例えば実施の形態の周波数変換器31）と、請求項1に記載の数値制御発振器を第2の局部発振器（例えば実施の形態の局部発振器33a）として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器（例えば実施の形態の周波数変換器33）とを備え、サンプリング周波数Fs1でサンプリングされた前記入力信号を、2回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するデジタルダウンコンバータであって、要求された前記入力信号の周波数設定間隔をFDとすると共に、K1、K2、及びL1を任意の整数とした場合、前記第1の周波数変換器は、 $M1 = Fs1 / FD \times K1 / L1$ で計算されるM1の中で整数となるM1を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $FD1 = FD / K1 \times L1$ で計算されるFD1ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第2の周波数変換器は、入力された信号のサンプリング周波数をFs2とすると、 $M2 = Fs2 / FD \times K2$ で計算されるM2の中で整数となるM2を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $FD2 = FD / K2$ で計算されるFD2ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0018】

以上の構成を備えたデジタルダウンコンバータは、サンプリング周波数Fs1でサンプリングされた入力信号を、2回の周波数変換によって、該入力信号より低い周波数の信号へ変換して出力する。この時、要求された入力信号の周波数設定間隔をFDとすると共に、K1、K2、及びL1を任意の整数とすると、入

力信号の周波数設定間隔 $F D$ が第 1 の周波数変換器の周波数設定間隔 $F D 1$ 以上でかつ $F D$ が $F D 1$ で割り切れる場合、あるいは $F D$ が $F D 1$ 未満でかつ $F D 1$ が $F D$ で割り切れる場合、まず、 $F D 1 = F D / K 1 \times L 1$ で計算される $F D 1$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器が入力信号を周波数変換する。次に、 $F D 2 = F D / K 2$ で計算される $F D 2$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 2 の局部発振器として発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔 $F D$ で入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【0019】

請求項 6 の発明に係るデジタルダウンコンバータは、請求項 3 から請求項 5 のいずれかに記載のデジタルダウンコンバータにおいて、前記第 2 の周波数変換器が周波数変換を停止することを特徴とする。

【0020】

以上の構成を備えたデジタルダウンコンバータは、第 1 の周波数変換器の周波数設定間隔 $F D 1$ の倍数が入力信号の周波数設定間隔 $F D$ の倍数と一致する場合、第 1 の周波数変換器のみの動作で、周波数設定間隔 $F D$ で入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【0021】

請求項 7 の発明に係るデジタルアップコンバータは、請求項 1 に記載の数値制御発振器を局部発振器（例えば実施の形態の局部発振器 23a）として、入力信号に周波数変換を行う周波数変換器（例えば実施の形態の周波数変換器 23）を備え、前記入力信号を、前記入力信号より高い周波数の信号へ変換すると共に、サンプリング周波数 $F s$ でサンプリングされた出力信号として出力するデジタルアップコンバータであって、要求された出力信号の周波数設定間隔を $F D$ とすると共に、 K 及び L を任意の整数とした場合、前記周波数変換器は、 $M = F s$

$\text{FD} \times \text{K} / \text{L}$ で計算される M の中で整数となる M を法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、 $\text{dF} = \text{FD} / \text{K} \times \text{L}$ で計算される dF ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0022】

以上の構成を備えたデジタルアップコンバータは、入力信号を、該入力信号より周波数が高く、サンプリング周波数 F_s でサンプリングされた信号へ変換して出力する際に、要求された出力信号の周波数設定間隔を FD とすると共に、 K 及び L を任意の整数とすると、 $\text{dF} = \text{FD} / \text{K} \times \text{L}$ で計算される dF ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を局部発振器として発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、出力信号の周波数設定間隔 FD が周波数変換器の周波数設定間隔 dF 以上でかつ FD が dF で割り切れる場合には、デジタルアップコンバータの出力信号の周波数設定間隔を FD とすることができる。

【0023】

請求項 8 の発明に係るデジタルアップコンバータは、請求項 1 に記載の数値制御発振器を第 1 の局部発振器（例えば実施の形態の局部発振器 42a）として、入力信号に周波数変換を行う第 1 の周波数変換器（例えば実施の形態の周波数変換器 42）と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器（例えば実施の形態の局部発振器 44a）として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器（例えば実施の形態の周波数変換器 44）とを備え、前記入力信号を、2 回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数 F_{s2} でサンプリングされた出力信号として出力するデジタルアップコンバータであって、要求された前記出力信号の周波数設定間隔を FD とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、前記第 2 の周波数変換器は、 $\text{M}_2 = \text{F}_{s2} / \text{FD} \times \text{K}_2 / \text{L}_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $\text{FD}_2 = \text{FD} / \text{K}_2 \times \text{L}_2$ で計算される FD_2 ステップの周波数設定間隔で設定された信号を用

いて周波数変換を行い、前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M1 = F_{s1} / (FD \bmod FD2) \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $FD1 = (FD \bmod FD2) / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0024】

以上の構成を備えたデジタルアップコンバータは、入力信号を 2 回の周波数変換によって、該入力信号より周波数が高く、サンプリング周波数 F_{s2} でサンプリングされた信号へ変換して出力する。この時、要求された前記出力信号の周波数設定間隔を FD とすると共に、 $K1$ 、 $K2$ 、及び $L2$ を任意の整数とすると、出力信号の周波数設定間隔 FD が第 2 の周波数変換器の周波数設定間隔 $FD2$ 以上でかつ FD が $FD2$ で割り切れない場合、デジタルアップコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、 $FD1 = (FD \bmod FD2) / K1$ で計算される $FD1$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器が入力信号を周波数変換する。次に、 $FD2 = FD / K2 \times L2$ で計算される $FD2$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 2 の局部発振器として発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、デジタルアップコンバータの出力信号の周波数設定間隔を FD とすることができる。

【0025】

請求項 9 の発明に係るデジタルアップコンバータは、請求項 1 に記載の数値制御発振器を第 1 の局部発振器（例えば実施の形態の局部発振器 42a）として、入力信号に周波数変換を行う第 1 の周波数変換器（例えば実施の形態の周波数変換器 42）と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器（例えば実施の形態の局部発振器 44a）として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器（例えば実施の形態の周波数変換器 4



4) とを備え、前記入力信号を、2 回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数 F_{s2} でサンプリングされた出力信号として出力するデジタルアップコンバータであって、要求された前記出力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、前記第 2 の周波数変換器は、 $M_2 = F_{s2} / F_D \times K_2 / L_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F_{D2} = F_D / K_2 \times L_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_1 = F_{s1} / (F_{D2} \bmod F_D) \times K_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $F_{D1} = (F_{D2} \bmod F_D) / K_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0026】

以上の構成を備えたデジタルアップコンバータは、入力信号を 2 回の周波数変換によって、該入力信号より周波数が高く、サンプリング周波数 F_{s2} でサンプリングされた信号へ変換して出力する。この時、要求された前記出力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とすると、出力信号の周波数設定間隔 F_D が第 2 の周波数変換器の周波数設定間隔 F_{D2} 未満でかつ F_{D2} が F_D で割り切れない場合、デジタルアップコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、 $F_{D1} = (F_{D2} \bmod F_D) / K_1$ で計算される F_{D1} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器が入力信号を周波数変換する。次に、 $F_{D2} = F_D / K_2 \times L_2$ で計算される F_{D2} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 2 の局部発振器として発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、デジタルアップコンバータの出力信号の周波数設定間隔を F_D とするこ

とができる。

【0027】

請求項10の発明に係るデジタルアップコンバータは、請求項1に記載の数値制御発振器を第1の局部発振器（例えば実施の形態の局部発振器42a）として、入力信号に周波数変換を行う第1の周波数変換器（例えば実施の形態の周波数変換器42）と、請求項1に記載の数値制御発振器を第2の局部発振器（例えば実施の形態の局部発振器44a）として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器（例えば実施の形態の周波数変換器44）とを備え、前記入力信号を、2回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数 F_{s2} でサンプリングされた出力信号として出力するデジタルアップコンバータであって、要求された前記出力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、前記第2の周波数変換器は、 $M_2 = F_{s2} / F_D \times K_2 / L_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $F_{D2} = F_D / K_2 \times L_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第1の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_1 = F_{s1} / F_D \times K_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $F_{D1} = F_D / K_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0028】

以上の構成を備えたデジタルアップコンバータは、入力信号を2回の周波数変換によって、該入力信号より周波数が高く、サンプリング周波数 F_{s2} でサンプリングされた信号へ変換して出力する。この時、要求された前記出力信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とすると、出力信号の周波数設定間隔 F_D が第2の周波数変換器の周波数設定間隔 F_{D2} 以上でかつ F_D が F_{D2} で割り切れる場合、あるいは F_D が F_{D2} 未満でかつ F

D 2 が F D で割り切れる場合、まず、 $F D 1 = F D / K 1$ で計算される F D 1 ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器が入力信号を周波数変換する。そして、次に、 $F D 2 = F D / K 2 \times L 2$ で計算される F D 2 ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 2 の局部発振器として発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、デジタルアップコンバータの出力信号の周波数設定間隔を F D とすることができる。

【 0 0 2 9 】

請求項 1 1 の発明に係るデジタルアップコンバータは、請求項 8 から請求項 1 0 のいずれかに記載のデジタルアップコンバータにおいて、前記第 1 の周波数変換器が周波数変換を停止することを特徴とする。

【 0 0 3 0 】

以上の構成を備えたデジタルアップコンバータは、第 2 の周波数変換器の周波数設定間隔 F D 2 の倍数が出力信号の周波数設定間隔 F D の倍数と一致する場合、第 2 の周波数変換器のみの動作で、デジタルアップコンバータの出力信号の周波数設定間隔を F D とすることができる。

【 0 0 3 1 】

請求項 1 2 の発明に係る受信機は、サンプリング周波数 F_s で動作する請求項 1 に記載の数値制御発振器を、通倍比 P (P は整数) の P L L 回路 (例えば実施の形態の P L L 回路 5 1 c、または P L L 回路 8 1 c) のリファレンスとした第 1 の局部発振器 (例えば実施の形態の局部発振器 5 1、または局部発振器 8 1) を用いて、受信信号に周波数変換を行う第 1 の周波数変換器 (例えば実施の形態のミキサ 5 2、または直交復調器 8 2) と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器 (例えば実施の形態の局部発振器 1 2 a、または局部発振器 8 5 a) として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器 (例えば実施の形態の周波数変換器 1 2、または周波数変換器 8 5) と、前記第 2 の周波数変換器が出力する信号を復調して受信データを抽出する復調器 (例えば実施の形態の復調器 5 5) とを備え、前記受信信号を、2 回の

周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、要求された前記受信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、前記第 1 の周波数変換器は、 $M_1 = F_s / F_D \times K_1 / L_1 \times P$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $F_{DP} = F_D / K_1 \times L_1$ で計算される F_{DP} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第 2 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_2 = F_{s1} / (F_D \bmod F_{DP}) \times K_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F_{D2} = (F_D \bmod F_{DP}) / K_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0032】

以上の構成を備えた受信機は、受信信号を、2 回の周波数変換によって、該受信信号より低い周波数の信号へ変換して出力する。この時、要求された受信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とすると、受信信号の周波数設定間隔 F_D が第 1 の周波数変換器の周波数設定間隔 F_{DP} 以上でかつ F_D が F_{DP} で割り切れない場合、復調器の要求する入力信号の周波数偏差が許容周波数偏差を超えるので、まず、通倍比 P の PLL 回路と、 $F_{D1} = F_{DP} / P = F_D / K_1 \times L_1 / P$ で計算される F_{D1} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器とを備えた第 1 の局部発振器により発生した周波数信号を用いて、第 1 の周波数変換器が受信信号を周波数変換する。次に、 $F_{D2} = (F_D \bmod F_{DP}) / K_2$ で計算される F_{D2} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 2 の局部発振器として発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔 F_D で入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【0033】

請求項13の発明に係る受信機は、サンプリング周波数 F_s で動作する請求項1に記載の数値制御発振器を、通倍比 P (P は整数)のPLL回路(例えば実施の形態のPLL回路51c、またはPLL回路81c)のリファレンスとした第1の局部発振器(例えば実施の形態の局部発振器51、または局部発振器81)を用いて、受信信号に周波数変換を行う第1の周波数変換器(例えば実施の形態のミキサ52、または直交復調器82)と、請求項1に記載の数値制御発振器を第2の局部発振器(例えば実施の形態の局部発振器12a、または局部発振器85a)として、前記第1の周波数変換器の出力信号に更に周波数変換を行う第2の周波数変換器(例えば実施の形態の周波数変換器12、または周波数変換器85)と、前記第2の周波数変換器が出力する信号を復調して受信データを抽出する復調器(例えば実施の形態の復調器55)とを備え、前記受信信号を、2回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、要求された前記受信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、前記第1の周波数変換器は、 $M_1 = F_s / F_D \times K_1 / L_1 \times P$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第1の局部発振器が出力すると共に、 $F_{DP} = F_D / K_1 \times L_1$ で計算される F_{DP} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第2の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_2 = F_{s1} / (F_{DP} \bmod F_D) \times K_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第2の局部発振器が出力すると共に、 $F_{D2} = (F_{DP} \bmod F_D) / K_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0034】

以上の構成を備えた受信機は、受信信号を、2回の周波数変換によって、該受信信号より低い周波数の信号へ変換して出力する。この時、要求された受信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とす

ると、受信信号の周波数設定間隔 F_D が第 1 の周波数変換器の周波数設定間隔 F_{DP} 未満でかつ F_{DP} が F_D で割り切れない場合、復調器の要求する入力信号の周波数偏差が許容周波数偏差を超えるので、まず、通倍比 P の PLL 回路と、 $F_{D1} = F_{DP} / P = F_D / K_1 \times L_1 / P$ で計算される F_{D1} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器とを備えた第 1 の局部発振器により発生した周波数信号を用いて、第 1 の周波数変換器が受信信号を周波数変換する。次に、 $F_{D2} = (F_{DP} \bmod F_D) / K_2$ で計算される F_{D2} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 2 の局部発振器として発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔 F_D で入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【0035】

請求項 14 の発明に係る受信機は、サンプリング周波数 F_s で動作する請求項 1 に記載の数値制御発振器を、通倍比 P (P は整数) の PLL 回路 (例えば実施の形態の PLL 回路 51c、または PLL 回路 81c) のリファレンスとした第 1 の局部発振器 (例えば実施の形態の局部発振器 51、または局部発振器 81) を用いて、受信信号に周波数変換を行う第 1 の周波数変換器 (例えば実施の形態のミキサ 52、または直交復調器 82) と、請求項 1 に記載の数値制御発振器を第 2 の局部発振器 (例えば実施の形態の局部発振器 12a、または局部発振器 85a) として、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器 (例えば実施の形態の周波数変換器 12、または周波数変換器 85) と、前記第 2 の周波数変換器が出力する信号を復調して受信データを抽出する復調器 (例えば実施の形態の復調器 55) とを備え、前記受信信号を、2 回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、要求された前記受信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_1 を任意の整数とした場合、前記第 1 の周波数変換器は、 $M_1 = F_s / F_D \times K_1 / L_1 \times P$ で計算される M_1 の中で整数となる M_1 を法として位相データをモ

ジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $FDP = FD / K1 \times L1$ で計算される FDP ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第 2 の周波数変換器は、入力された信号のサンプリング周波数を $Fs1$ とすると、 $M2 = Fs1 / FD \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $FD2 = FD / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0036】

以上の構成を備えた受信機は、受信信号を、2 回の周波数変換によって、該受信信号より低い周波数の信号へ変換して出力する。この時、要求された受信信号の周波数設定間隔を FD とすると共に、 $K1$ 、 $K2$ 、及び $L1$ を任意の整数とすると、受信信号の周波数設定間隔 FD が第 1 の周波数変換器の周波数設定間隔 FDP 以上でかつ FD が FDP で割り切れる場合、あるいは FD が FDP 未満でかつ FDP が FD で割り切れる場合、まず、通倍比 P の PLL 回路と、 $FD1 = FDP / P = FD / K1 \times L1 / P$ で計算される $FD1$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器とを備えた第 1 の局部発振器により発生した周波数信号を用いて、第 1 の周波数変換器が受信信号を周波数変換する。次に、 $FD2 = FD / K2$ で計算される $FD2$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 2 の局部発振器として発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔 FD で入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【0037】

請求項 15 の発明に係る受信機は、請求項 12 から請求項 14 のいずれかに記載の受信機において、前記第 2 の周波数変換器が周波数変換を停止することを特徴とする。

【0038】

以上の構成を備えた受信機は、第 1 の周波数変換器の周波数設定間隔 $FD1$ の

倍数が入力信号の周波数設定間隔 $F D$ の倍数と一致する場合、第 1 の周波数変換器のみの動作で、周波数設定間隔 $F D$ で入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【0039】

請求項 16 の発明に係る送信機は、送信データにより変調されたベースバンド送信信号を出力する変調器（例えば実施の形態の変調器 61）と、請求項 1 に記載の数値制御発振器を第 1 の局部発振器（例えば実施の形態の局部発振器 63a）として、前記変調器の出力信号に周波数変換を行う第 1 の周波数変換器（例えば実施の形態の周波数変換器 63）と、サンプリング周波数 F_s で動作する請求項 1 に記載の数値制御発振器を通倍比 P （ P は整数）の PLL 回路（例えば実施の形態の PLL 回路 70c）のリファレンスとした第 2 の局部発振器（例えば実施の形態の局部発振器 70）を用いて、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器（例えば実施の形態の周波数変換器 71）とを備え、前記ベースバンド送信信号を、2 回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、要求された前記送信信号の周波数設定間隔を $F D$ とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、前記第 2 の周波数変換器は、 $M_2 = F_s / F D \times K_2 / L_2 \times P$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F D P = F D / K_2 \times L_2$ で計算される $F D P$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_1 = F_{s1} / (F D \bmod F D P) \times K_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $F D 1 = (F D \bmod F D P) / K_1$ で計算される $F D 1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0040】

以上の構成を備えた送信機は、ベースバンド送信信号を 2 回の周波数変換によって、該ベースバンド送信信号より周波数が高い送信信号へ変換して出力する。

この時、要求された前記送信信号の周波数設定間隔を $F D$ とすると共に、 $K 1$ 、 $K 2$ 、及び $L 2$ を任意の整数とすると、送信信号の周波数設定間隔 $F D$ が第 2 の周波数変換器の周波数設定間隔 $F D P$ 以上でかつ $F D$ が $F D P$ で割り切れない場合、送信機の送信信号の周波数偏差が許容周波数偏差を超えるので、まず、 $F D 1 = (F D \bmod F D P) / K 1$ で計算される $F D 1$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器がベースバンド送信信号を周波数変換する。次に、通倍比 P の $P L L$ 回路と、 $F D 2 = F D P / P = F D / K 2 \times L 2 / P$ で計算される $F D 2$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器とを備えた第 1 の局部発振器により発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【0041】

請求項 17 の発明に係る送信機は、送信データにより変調されたベースバンド送信信号を出力する変調器（例えば実施の形態の変調器 61）と、請求項 1 に記載の数値制御発振器を第 1 の局部発振器（例えば実施の形態の局部発振器 63a）として、前記変調器の出力信号に周波数変換を行う第 1 の周波数変換器（例えば実施の形態の周波数変換器 63）と、サンプリング周波数 $F s$ で動作する請求項 1 に記載の数値制御発振器を通倍比 P （ P は整数）の $P L L$ 回路（例えば実施の形態の $P L L$ 回路 70c）のリファレンスとした第 2 の局部発振器（例えば実施の形態の局部発振器 70）を用いて、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器（例えば実施の形態の周波数変換器 71）とを備え、前記ベースバンド送信信号を、2 回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、要求された前記送信信号の周波数設定間隔を $F D$ とすると共に、 $K 1$ 、 $K 2$ 、及び $L 2$ を任意の整数とした場合、前記第 2 の周波数変換器は、 $M 2 = F s / F D \times K 2 / L 2 \times P$ で計算される $M 2$ の中で整数となる $M 2$ を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F D$

$P = FD / K2 \times L2$ で計算される FD ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M1 = F_{s1} / (FD \bmod FD) \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $FD1 = (FD \bmod FD) / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0042】

以上の構成を備えた送信機は、ベースバンド送信信号を 2 回の周波数変換によって、該ベースバンド送信信号より周波数が高い送信信号へ変換して出力する。この時、要求された前記送信信号の周波数設定間隔を FD とすると共に、 $K1$ 、 $K2$ 、及び $L2$ を任意の整数とすると、送信信号の周波数設定間隔 FD が第 2 の周波数変換器の周波数設定間隔 $FD2$ 未満でかつ $FD2$ が FD で割り切れない場合、送信機の送信信号の周波数偏差が許容周波数偏差を超えるので、まず、 $FD1 = (FD \bmod FD) / K1$ で計算される $FD1$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器がベースバンド送信信号を周波数変換する。次に、通倍比 P の PLL 回路と、 $FD2 = FD \times P / K2 \times L2$ で計算される $FD2$ ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器とを備えた第 1 の局部発振器により発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【0043】

請求項 18 の発明に係る送信機は、送信データにより変調されたベースバンド送信信号を出力する変調器（例えば実施の形態の変調器 61）と、請求項 1 に記載の数値制御発振器を第 1 の局部発振器（例えば実施の形態の局部発振器 63a）として、前記変調器の出力信号に周波数変換を行う第 1 の周波数変換器（例えば実施の形態の周波数変換器 63）と、サンプリング周波数 F_s で動作する請求

項 1 に記載の数値制御発振器を逡倍比 P (P は整数) の PLL 回路 (例えば実施の形態の PLL 回路 70c) のリファレンスとした第 2 の局部発振器 (例えば実施の形態の局部発振器 70) を用いて、前記第 1 の周波数変換器の出力信号に更に周波数変換を行う第 2 の周波数変換器 (例えば実施の形態の周波数変換器 71) とを備え、前記ベースバンド送信信号を、2 回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、要求された前記送信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とした場合、前記第 2 の周波数変換器は、 $M_2 = F_s / F_D \times K_2 / L_2 \times P$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する前記第 2 の局部発振器が出力すると共に、 $F_{D1} = F_D / K_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第 1 の周波数変換器は、入力された信号のサンプリング周波数を F_{s1} とすると、 $M_1 = F_{s1} / F_D \times K_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する前記第 1 の局部発振器が出力すると共に、 $F_{D1} = F_D / K_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【0044】

以上の構成を備えた送信機は、ベースバンド送信信号を 2 回の周波数変換によって、該ベースバンド送信信号より周波数が高い送信信号へ変換して出力する。この時、要求された前記送信信号の周波数設定間隔を F_D とすると共に、 K_1 、 K_2 、及び L_2 を任意の整数とすると、送信信号の周波数設定間隔 F_D が第 2 の周波数変換器の周波数設定間隔 F_{D2} 以上でかつ F_D が F_{D2} で割り切れる場合、あるいは F_D が F_{D2} 未満でかつ F_{D2} が F_D で割り切れる場合、送信機の送信信号の周波数偏差が許容周波数偏差を超えるので、まず、 $F_{D1} = F_D / K_1$ で計算される F_{D1} ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を第 1 の局部発振器として発生した周波数信号を用いて、第 1 の周波数変換器がベースバンド送信信号を周波数変換する。次に、逡倍比 P の PLL 回路と、 $F_{D2} = F_{D1} / P = F_D / K_2 \times L_2 / P$ で計算される F_{D2} ステップの周

波数設定間隔を持つ請求項 1 に記載の数値制御発振器とを備えた第 1 の局部発振器により発生した周波数信号を用いて、第 2 の周波数変換器が更に第 1 の周波数変換器の出力信号を周波数変換する。これにより、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【0 0 4 5】

請求項 1 9 の発明に係る送信機は、請求項 1 6 から請求項 1 8 のいずれかに記載の送信機において、前記第 1 の周波数変換器が周波数変換を停止することを特徴とする。

【0 0 4 6】

以上の構成を備えた送信機は、第 2 の周波数変換器の周波数設定間隔 $F D 2$ の倍数が送信信号の周波数設定間隔 $F D$ の倍数と一致する場合、第 2 の周波数変換器のみの動作で、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【0 0 4 7】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

(第 1 の実施の形態)

まず、本発明の一実施の形態の数値制御発振器について説明する。

図 1 は、本実施の形態の数値制御発振器の構成を示すブロック図であって、数値制御発振器は、入力された位相差データの累算を行い位相データを生成する位相累算器 1 と、位相累算器 1 が生成する位相データに対応した振幅データを出力する位相振幅変換テーブルを実現するメモリである R O M (Read Only Memory) 2 とから構成されている。

【0 0 4 8】

具体的には、まず、位相累算器 1 について説明すると、出力する信号のサンプリング周波数を $F s$ 、要求された出力信号の周波数設定間隔の上限値を $F D$ とし、更に K 及び L を任意の整数とした場合、位相累算器 1 は、位相データを保持する位相レジスタ 1 a と、入力された位相差データと位相レジスタ 1 a の出力する位相データとを $M = F s / F D \times K / L$ で計算される M の中で整数となる M を法

とするモジュロ演算により加算または減算する位相演算器 1b とを備え、数値制御発振器の入力として設定された位相差データの累算を行い位相データを生成する。

【0049】

また、ROM2 は、 $j = \log_2 M$ (但し、 j は少数点以下を切り上げ) で計算される j ビットの配線により位相累算器 1 の出力端子とそのアドレス端子が接続され、ROM2 に記憶された M 個の振幅データから成る位相振幅変換テーブルに従って、位相累算器 1 からアドレス端子に入力された位相データに対応した振幅データをデータ端子から出力し、これを数値制御発振器の出力とする。

これにより、本実施の形態の数値制御発振器は、 $dF = FD / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を出力する。

【0050】

例えば、出力する信号のサンプリング周波数 F_s を 153.6 [MHz]、要求された出力信号の周波数設定間隔の上限値 FD を 200 [kHz] とし、更に K 及び L を 1 とした場合、位相演算器 1b では、 $M = F_s / FD \times K / L = 153.6 \text{ [MHz]} / 200 \text{ [kHz]} = 768$ として、入力された位相差データと位相レジスタ 1a の出力する位相データとを、“768” を法とするモジュロ演算により加算または減算する。

また、ROM2 は、 $j = \log_2 M = \log_2 768 \div 9.58 = 10$ (但し、 j は少数点以下を切り上げ) として、10 ビットの配線により位相累算器 1 の出力端子とそのアドレス端子が接続される。

【0051】

従って、ROM2 の演算語長と位相演算器 1b の位相演算語長とが同一となることにより、位相演算器 1b が出力するアドレス語長 (ROM2 の演算語長) を再量子化する必要がないため、再量子化による誤差 e_P の発生がなく、“768” を法とするモジュロ演算に必要な 768 ワードの低容量の振幅データのみにより、出力する信号のサンプリング周波数 F_s を 153.6 [MHz]、周波数設定間隔 dF を $dF = FD / K \times L = 200 \text{ [kHz]}$ とした低スプリアスの数値制御発振器を実現することができる。

【 0 0 5 2 】

また、以上の構成を備えた数値制御発振器の各設定値は、上述の設定例を含め、各通信システム（例えば携帯電話システムの W - C D M A や I S - 9 5、無線 LAN システムの I E E E 8 0 2 . 1 1 a 等）に対応して、以下の表 1 に示すような値とすることができる。

【 0 0 5 3 】

【表 1】

No.	FD[KHz]	Fs[MHz]	ΔF[KHz]	K	L	M
W-CDMA						
1	200	61.44	40	5	1	1536
2	200	61.44	80	5	2	768
3	200	92.16	40	5	1	2304
4	200	122.88	40	5	1	3072
5	200	153.6	200	1	1	768
6	200	153.6	1600	1	8	96
7	200	184.32	200	5	1	4608
IS-95 Band Class 0						
8	30	98.304	6	5	1	16384
9	30	98.304	12	5	2	8192
IEEE802.11a						
10	20000	100	20000	1	1	5
11	20000	200	20000	1	1	10

【0054】

表 1 の一例を説明すると、出力する信号のサンプリング周波数 F_s を 61.44 [MHz]、要求された出力信号の周波数設定間隔 FD を 200 [KHz] とし、更に K を 5 及び L を 1 とした場合、位相演算器 1b では、 $M = F_s / FD \times$

$K/L = 61.44 \text{ [MHz]} / 200 \text{ [KHz]} \times 5 = 1536$ を法とするモジュロ演算に必要な 1536 ワードの低容量の振幅データのみにより、出力する信号のサンプリング周波数 F_s を 61.44 [MHz] 、周波数設定間隔 dF を $dF = FD/K \times L = 200 \text{ [KHz]} / 5 = 40 \text{ [KHz]}$ とした低スプリアスの数値制御発振器を実現することができる。

【0055】

図2は、上述の条件において、従来の2jを法とするモジュロ演算を行う数値制御発振器(パラメータを位相演算語長jと位相振幅変換テーブルの振幅データ数で示す)と、本実施の形態の数値制御発振器(パラメータを位相振幅変換テーブルの振幅データ数のみで示す)とのスプリアス特性のシミュレーション結果を比較したグラフであって、横軸をROM2の出力する振幅データビット長、縦軸をスプリアス、パラメータをROM2に記憶された位相振幅変換テーブルの振幅データ数として示したグラフである。

【0056】

図2に示すように、本実施の形態の数値制御発振器の構成では、ROM2の演算語長を短くして、例えば384ワードや192ワード、更には96ワードの振幅データを用いた場合は極端にスプリアス特性が悪化するものの、 $M = F_s / FD \times K / L$ で計算されるMの中で整数となるM、すなわち、上述の条件では $M = 768$ を用いて、入力された位相差データと位相レジスタ1aの出力する位相データとを、“768”を法とするモジュロ演算により位相データを生成する限り、そのスプリアス特性は、従来の2の20乗を法とするモジュロ演算を行う約1Mワードの振幅データを必要とする数値制御発振器と同等の特性を得られることがわかる。

【0057】

(第2の実施の形態)

また、図面を参照しつつ、更に第1の実施の形態の数値制御発振器の応用例について説明すると、例えば、第1の実施の形態の数値制御発振器は、図3に示すようなデジタルダウンコンバータに使用することができる。

図3は、第1の実施の形態の数値制御発振器を用いたデジタルダウンコンバ

ータ 11 の構成例を示すブロック図であって、デジタルダウンコンバータ 11 は、まず入力された中心周波数 F_{if1} の信号を、第 1 の実施の形態の数値制御発振器を用いた局部発振器 12a により生成した周波数 F_c の複素ローカル信号（実数軸信号” $C(t) = \cos(2\pi \times F_c \times t)$ ” と、実数軸信号より 90 度位相の進んだ虚数軸信号” $-S(t) = -\sin(2\pi \times F_c \times t)$ ” ）と、それぞれ乗算器 12b、12c を用いて乗算する周波数変換器 12 により周波数変換し、中心周波数 $F_{if2} = 0$ [Hz] の複素数信号（ゼロ IF 信号）を得る。

【0058】

そして、複素数信号のサンプリング周波数 F_{s1} を $1/N$ 倍してサンプリング周波数 $F_{s2} = F_{s1}/N$ に変換する実数軸デシメータ 13a と虚数軸デシメータ 13b とを備えたデシメータ 13 によりデシメーションを行うと共に、実数軸フィルタ 14a と虚数軸フィルタ 14b とを備えたロールオフフィルタ 14 により、目的の信号帯域の帯域制限が実施された複素数信号（I、Q）を出力する。

【0059】

さて、このデジタルダウンコンバータ 11 において、例えば要求された入力信号の周波数設定間隔 F_D が周波数変換器 12 の周波数設定間隔 dF で割り切れる場合の動作について説明する。この場合、 K 、及び L を任意の整数とすると、周波数変換器 12 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 12a の位相差データ ϕ を、位相差データ $\phi = F_c / dF = F_c / F_D \times K / L$ とする。そして、 $M = F_{s1} / F_D \times K / L$ で計算される M の中で整数となる M を法として位相データをモジュロ演算により累算する局部発振器 12a が出力すると共に、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された、周波数 F_c の複素ローカル信号を用いて、中心周波数 F_{if1} の信号を正確に中心周波数 F_{if2} の複素数信号に変換することができる。

【0060】

具体的には、入力信号のサンプリング周波数 F_{s1} を 153.6 [MHz]、要求された入力信号の周波数設定間隔 $F_D = 200$ [kHz] とし、更に入力信号の中心周波数 F_{if1} を 36.4 [MHz] とし、 $K = L = 1$ とすると、周波

数変換器 12 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 12 a の位相差データ ϕ を、位相差データ $\phi = F_c / dF = F_c / FD \times K / L = 36.4 \text{ [MHz]} / 200 \text{ [KHz]} = 182$ とすることで、 $M = F_{s1} / FD \times K / L = 153.6 \text{ [MHz]} / 200 \text{ [KHz]} = 768$ を法として位相データをモジュロ演算により累算する局部発振器 12 a が出力した $dF = FD / K \times L = 200 \text{ [KHz]}$ ステップの周波数設定間隔で設定された、周波数 $F_c = 36.4 \text{ [MHz]}$ の複素ローカル信号を用いて、中心周波数 F_{if1} の信号を正確に中心周波数 $F_{if2} = 0 \text{ [Hz]}$ の複素数信号（ゼロ IF 信号）に変換することができる。

【0061】

（第 3 の実施の形態）

また、第 1 の実施の形態の数値制御発振器は、図 4 に示すようなデジタルアップコンバータに使用することもできる。

図 4 は、第 1 の実施の形態の数値制御発振器を用いたデジタルアップコンバータの構成例を示すブロック図であって、デジタルアップコンバータは、まず入力された中心周波数 $F_{if1} = 0 \text{ [Hz]}$ の複素数信号（ベースバンド信号 I、Q）を、実数軸フィルタ 21 a と虚数軸フィルタ 21 b とを備えたロールオフフィルタ 21 により、目的の信号帯域に帯域制限すると共に、複素数信号のサンプリング周波数 F_{s1} を N 倍してサンプリング周波数 $F_{s2} = F_{s1} \times N$ に変換する実数軸インタポレータ 22 a と虚数軸インタポレータ 22 b とを備えたインタポレータ 22 によりインタポレーションを行う。

【0062】

そして、次に、インタポレータ 22 の出力信号を、第 1 の実施の形態の数値制御発振器を用いた局部発振器 23 a により生成した周波数 F_c の複素ローカル信号（実数軸信号 “ $C(t) = \cos(2\pi \times F_c \times t)$ ” と、実数軸信号より 90 度位相の遅れた虚数軸信号 “ $S(t) = \sin(2\pi \times F_c \times t)$ ”）と、それぞれ乗算器 23 b、23 c 及び減算器 23 d を用いて複素乗算すると共に実数軸信号を出力する周波数変換器 23 により周波数変換し、目的の中心周波数 F_{if2} の実数信号を出力する。

【0063】

さて、このデジタルアップコンバータにおいて、例えば要求された出力信号の周波数設定間隔 F_D が周波数変換器 23 の周波数設定間隔 dF で割り切れる場合の動作について説明する。この場合、 K 、及び L を任意の整数とすると、周波数変換器 23 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 23a の位相差データ ϕ を、位相差データ $\phi = F_c / dF = F_c / F_D \times K / L$ とする。そして、 $M = F_{s2} / F_D \times K / L$ で計算される M の中で整数となる M を法として位相データをモジュロ演算により累算する局部発振器 23a が出力すると共に、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された、周波数 F_c の複素ローカル信号を用いて、中心周波数 F_{if1} のベースバンド信号を正確に目的の中心周波数 F_{if2} の複素数信号に変換することができる。

【0064】

具体的には、出力信号のサンプリング周波数 F_{s2} を 153.6 [MHz]、要求された出力信号の周波数設定間隔 $F_D = 200$ [kHz] とし、更に出力信号の中心周波数 F_{if2} を 72.8 [MHz] とし、 $K = L = 1$ とすると、周波数変換器 23 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 23a の位相差データ ϕ を、位相差データ $\phi = F_c / dF = F_c / F_D \times K / L = 72.8$ [MHz] / 200 [kHz] = 364 とすることで、 $M = F_{s2} / F_D \times K / L = 153.6$ [MHz] / 200 [kHz] = 768 を法として位相データをモジュロ演算により累算する局部発振器 23a が出力した $dF = F_D / K \times L = 200$ [kHz] ステップの周波数設定間隔で設定された、周波数 $F_c = 72.8$ [MHz] の複素ローカル信号を用いて、中心周波数 $F_{if1} = 0$ [Hz] のベースバンド信号を正確に目的の中心周波数 F_{if2} の複素数信号に変換することができる。

【0065】

(第 4 の実施の形態)

次に、第 1 の実施の形態の数値制御発振器を用いたデジタルダウンコンバータの変形例であって、数値制御発振器を局部発振器とする第 1 及び第 2 の周波数

変換器を備え、入力信号を、2回の周波数変換によって、入力信号より低い周波数の信号へ変換して出力するデジタルダウンコンバータの構成について説明する。

【0066】

図5は、第1の実施の形態の数値制御発振器を用いたデジタルダウンコンバータの変形例の構成を示すブロック図であって、デジタルダウンコンバータは、まず入力された中心周波数 F_{if1} の信号を、第1の実施の形態の数値制御発振器を用いた局部発振器31aにより生成した周波数 F_{c1} の複素ローカル信号（実数軸信号” $C1(t) = \cos(2\pi \times F_{c1} \times t)$ ”と、実数軸信号より90度位相の進んだ虚数軸信号” $-S1(t) = -\sin(2\pi \times F_{c1} \times t)$ ”）と、それぞれ乗算器31b、31cを用いて乗算する周波数変換器31により周波数変換し、中心周波数 F_{if2} の複素数信号を得る。

【0067】

次に、複素数信号のサンプリング周波数 F_{s1} を $1/N$ 倍してサンプリング周波数 $F_{s2} = F_{s1}/N$ に変換する実数軸デシメータ32aと虚数軸デシメータ32bとを備えたデシメータ32によりデシメーションを行うと共に、第1の実施の形態の数値制御発振器を用いた局部発振器33aにより生成した周波数 F_{c2} の複素ローカル信号（実数軸信号” $C2(t) = \cos(2\pi \times F_{c2} \times t)$ ”と、実数軸信号より90度位相の進んだ虚数軸信号” $-S2(t) = -\sin(2\pi \times F_{c2} \times t)$ ”）と、それぞれ乗算器33b、33c、33d、33e及び減算器33f、加算器33gを用いて複素乗算する周波数変換器33により周波数変換する。

そして、実数軸フィルタ34aと虚数軸フィルタ34bとを備えたロールオフフィルタ34により、目的の信号帯域の帯域制限が実施された中心周波数 F_{if3} の複素数信号（I、Q）を出力する。

【0068】

さて、このデジタルダウンコンバータにおいて、例えば入力信号のサンプリング周波数を F_{s1} 、要求された入力信号の周波数設定間隔 F_D が周波数変換器31の周波数設定間隔 F_{D1} 以上で、 F_D が F_{D1} で割り切れない場合の動作に

ついて説明する。この場合、 K_1 、 K_2 、及び L_1 を任意の整数とすると、周波数変換器 31 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 31 a の位相差データ ϕ_1 を、位相差データ $\phi_1 = F_{c1} / F_{D1} = F_{c1} / F_D \times K_1 / L_1$ とする。そして、 $M_1 = F_{s1} / F_D \times K_1 / L_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する局部発振器 31 a が出力すると共に、 $F_{D1} = F_D / K_1 \times L_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された、周波数 F_{c1} の複素ローカル信号を用いて、中心周波数 F_{if1} の信号を中心周波数 F_{if2} の複素数信号に変換する。

【0069】

また、第 1 の実施の形態の数値制御発振器を用いた局部発振器 33 a の位相差データ ϕ_2 を、位相差データ $\phi_2 = F_{c2} / F_{D2} = F_{c2} / (F_D \bmod F_{D1}) \times K_2$ とする。そして、 $M_2 = F_{s2} / (F_D \bmod F_{D1}) \times K_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する局部発振器 33 a が出力すると共に、 $F_{D2} = (F_D \bmod F_{D1}) / K_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された、周波数 F_{c2} の複素ローカル信号を用いて、周波数変換器 33 が、中心周波数 F_{if2} の信号を中心周波数 F_{if3} の複素数信号に変換する。

【0070】

具体的には、入力信号のサンプリング周波数 F_{s1} を 98.304 [MHz]、要求された入力信号の周波数設定間隔 $F_D = 30$ [kHz] とし、更に入力信号の中心周波数 F_{if1} を 13.742 [MHz] とし、 $K_1 = 15$ 、 $L_1 = 8$ とすると、周波数変換器 31 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 31 a の位相差データ ϕ_1 を、位相差データ $\phi_1 = F_{c1} / F_{D1} = F_{c1} / F_D \times K_1 / L_1 = 13.728$ [MHz] / 30 [kHz] $\times 15 / 8 = 858$ とすることで、 $M_1 = F_{s1} / F_D \times K_1 / L_1 = 98.304$ [MHz] / 30 [kHz] $\times 15 / 8 = 6144$ を法として位相データをモジュロ演算により累算する局部発振器 31 a が出力した $F_{D1} = F_D / K_1 \times L_1 = 30$ [kHz] / 15 $\times 8 = 16$ [kHz] ステップの周波数設定間隔で設定された、周波数 $F_{c1} = 13.728$ [MHz] の複素ローカル信号を用いて、中心周

波数 F_{if1} の信号を正確に中心周波数 $F_{if2} = 14$ [Hz] の複素数信号に変換することができる。

【0071】

また、デシメータ 32 の変換率 $N = 10$ 、 $K_2 = 7$ とすると、第 1 の実施の形態の数値制御発振器を用いた局部発振器 33a の位相差データ ϕ_2 を、位相差データ $\phi_2 = F_{c2} / FD_2 = F_{c2} / (FD \bmod FD_1) \times K_2 = 14$ [KHz] $\div (30$ [KHz] $\bmod 16$ [KHz]) $\times 7 = 7$ とすることで、 $M_2 = F_{s2} / (FD \bmod FD_1) \times K_2 = 9.8304$ [MHz] $\div (30$ [KHz] $\bmod 16$ [KHz]) $\times 7$ で計算される M_2 を整数とした $M_2 = 4915$ を法として位相データをモジュロ演算により累算する局部発振器 33a が出力すると共に、 $FD_2 = (FD \bmod FD_1) / K_2 = (30$ [KHz] $\bmod 16$ [KHz]) $\div 7 = 2$ [KHz] ステップの周波数設定間隔で設定された、周波数 F_{c2} の複素ローカル信号を用いて、周波数変換器 33 が、中心周波数 F_{if2} の信号を正確に中心周波数 $F_{if3} = 0$ [Hz] の複素数信号 (ゼロ IF 信号) に変換することができる。

【0072】

同様に、このデジタルダウンコンバータにおいて、例えば要求された入力信号の周波数設定間隔 FD が周波数変換器 31 の周波数設定間隔 FD_1 未満で、 FD_1 が FD で割り切れない場合、周波数変換器 31 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 31a の位相差データ ϕ_1 を、位相差データ $\phi_1 = F_{c1} / FD_1 = F_{c1} / FD \times K_1 / L_1$ とする。そして、 $M_1 = F_{s1} / FD \times K_1 / L_1$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する局部発振器 31a が出力すると共に、 $FD_1 = FD / K_1 \times L_1$ で計算される FD_1 ステップの周波数設定間隔で設定された、周波数 F_{c1} の複素ローカル信号を用いて、中心周波数 F_{if1} の信号を中心周波数 F_{if2} の複素数信号に変換する。

【0073】

また、第 1 の実施の形態の数値制御発振器を用いた局部発振器 33a の位相差データ ϕ_2 を、位相差データ $\phi_2 = F_{c2} / FD_2 = F_{c2} / (FD_1 \bmod$

$FD) \times K2$ とする。そして、 $M2 = Fs2 / (FD1 \bmod FD) \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器33aが出力すると共に、 $FD2 = (FD1 \bmod FD) / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された、周波数 $Fc2$ の複素ローカル信号を用いて、周波数変換器33が、中心周波数 $Fif2$ の信号を中心周波数 $Fif3$ の複素数信号に変換する。

【0074】

更に、このデジタルダウンコンバータにおいて、例えば要求された入力信号の周波数設定間隔 FD が周波数変換器31の周波数設定間隔 $FD1$ 以上でかつ FD が $FD1$ で割り切れる場合、あるいは FD が $FD1$ 未満でかつ $FD1$ が FD で割り切れる場合、周波数変換器31は、第1の実施の形態の数値制御発振器を用いた局部発振器31aの位相差データ $\phi1$ を、位相差データ $\phi1 = Fc1 / FD1 = Fc1 / FD \times K1 / L1$ とする。そして、 $M1 = Fs1 / FD \times K1 / L1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する局部発振器31aが出力すると共に、 $FD1 = FD / K1 \times L1$ で計算される $FD1$ ステップの周波数設定間隔で設定された、周波数 $Fc1$ の複素ローカル信号を用いて、中心周波数 $Fif1$ の信号を中心周波数 $Fif2$ の複素数信号に変換する。

【0075】

また、第1の実施の形態の数値制御発振器を用いた局部発振器33aの位相差データ $\phi2$ を、位相差データ $\phi2 = Fc2 / FD2 = Fc2 / FD \times K2$ とすることで、 $M2 = Fs2 / FD \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器33aが出力すると共に、 $FD2 = FD / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された、周波数 $Fc2$ の複素ローカル信号を用いて、周波数変換器33が、中心周波数 $Fif2$ の信号を中心周波数 $Fif3$ の複素数信号に変換する。

【0076】

なお、以上の構成を備えたデジタルダウンコンバータは、周波数変換器31の周波数設定間隔 $FD1$ の倍数が入力信号の周波数設定間隔 FD の倍数と一致す

る場合、周波数変換器 3 1 のみの動作で、周波数設定間隔 F D で入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。そのような場合、周波数変換器 3 3 による周波数変換を停止しても良い。

【 0 0 7 7 】

また、以上の構成を備えたデジタルダウンコンバータの各変数の設定値は、上述の設定例を含め、以下の表 2 から表 5 に示すような値とすることができる。なお、表 2 及び表 3 は W - C D M A システムにおける各変数の設定例を、表 4 は I S - 9 5 B a n d (C l a s s 0) における各変数の設定例を、表 5 は I E E E 8 0 2 . 1 1 a システムにおける各変数の設定例を示す。

また、表において周波数変換器 3 3 側の変数の記載がない設定例は、図 3 を用いて説明したデジタルダウンコンバータの構成で実現可能な設定例を示す。この場合、各変数は対応する変数に読み替えるものとする。

【 0 0 7 8 】

【表 2】

No.	Fifa [MHz]	Fif1 [MHz]	FD [KHz]	FD1 [KHz]	Fs1 [MHz]	Fc1 [MHz]	K1	L1	M1	$\Delta\phi$ 1
1	190.00	5.680	200.0	40.0	61.440	5.680	5	1	1536	142
2	190.00	5.680	200.0	40.0	92.160	5.680	5	1	2304	142
3	190.00	-55.760	200.0	40.0	122.880	-55.760	5	1	3072	-1394
4	189.60	36.000	200.0	200.0	153.600	36.000	1	1	768	180
5	189.80	36.200	200.0	200.0	153.600	36.200	1	1	768	181
6	190.00	36.400	200.0	200.0	153.600	36.400	1	1	768	182
7	190.15	36.550	200.0	200.0	153.600	36.400	1	1	768	182
8	190.20	36.600	200.0	200.0	153.600	36.600	1	1	768	183
9	190.35	36.750	200.0	200.0	153.600	36.600	1	1	768	183
10	190.40	36.800	200.0	200.0	153.600	36.800	1	1	768	184
11	189.80	36.200	200.0	1600.0	153.600	35.200	1	8	96	22
12	190.00	36.400	200.0	1600.0	153.600	35.200	1	8	96	22
13	190.20	36.600	200.0	1600.0	153.600	35.200	1	8	96	22
14	190.00	5.680	200.0	40.0	184.320	5.680	5	1	4608	142

【0079】

【表 3】

No.	Fif2 [KHz]	Fs2 [MHz]	FD2 [KHz]	Fc2 [KHz]	K2	M2	$\Delta \phi 2$
1	—	—	—	—	—	—	—
2	—	—	—	—	—	—	—
3	—	—	—	—	—	—	—
4	—	—	—	—	—	—	—
5	—	—	—	—	—	—	—
6	—	—	—	—	—	—	—
7	150.0	30.72	50.000	150.10	4	614	3
8	—	—	—	—	—	—	—
9	150.0	30.72	50.000	150.10	4	614	3
10	—	—	—	—	—	—	—
11	1000.0	30.72	40.000	1000.00	5	768	25
12	1200.0	30.72	40.000	1200.00	5	768	30
13	1400.0	30.72	40.000	1400.00	5	768	35
14	—	—	—	—	—	—	—

【0080】

【表 4】

No.	Fifa [MHz]	Fif1 [MHz]	FD [KHz]	FD1 [KHz]	Fs1 [MHz]	Fc1 [MHz]	K1	L1	M1	$\Delta\phi 1$
1	210.35	13.742	30.0	16.0	98.304	13.728	15	8	6144	858
2	210.38	13.772	30.0	16.0	98.304	13.760	15	8	6144	860
3	210.41	13.802	30.0	16.0	98.304	13.792	15	8	6144	862
4	210.35	53.064	30.0	11.3	157.286	53.055	8	3	13981	4716
5	210.38	53.094	30.0	11.3	157.286	53.089	8	3	13981	4719
6	210.41	53.124	30.0	11.3	157.286	53.123	8	3	13981	4722

No.	Fif2 [KHz]	Fs2 [MHz]	FD2 [KHz]	Fc2 [KHz]	K2	M2	$\Delta\phi 2$
1	14.00	9.8304	2.000	14.00	7	4915	7
2	12.00	9.8304	2.000	12.00	7	4915	6
3	10.00	9.8304	2.000	10.00	7	4915	5
4	8.60	9.8304	1.250	8.75	6	7864	7
5	4.90	9.8304	1.250	5.00	6	7864	4
6	1.10	9.8304	1.250	1.25	6	7864	1

【0081】

【表 5】

No.	Fifa [MHz]	Fif1 [MHz]	FD [KHz]	FD1 [KHz]	Fs1 [MHz]	Fc1 [MHz]	K1	L1	M1	$\Delta\phi 1$
1	180.00	-20.000	100.0	100.0	100.000	-20.000	1	1	1000	-200
2	179.80	-20.200	200.0	400.0	200.000	-20.400	1	2	500	-51
3	180.00	-20.000	200.0	400.0	200.000	-20.000	1	2	500	-50
4	180.20	-19.800	200.0	400.0	200.000	-20.000	1	2	500	-50

No.	Fif2 [KHz]	Fs2 [MHz]	FD2 [KHz]	Fc2 [KHz]	K2	M2	$\Delta\phi 2$
1	-	-	-	-	-	-	-
2	200.0	20	200.000	200.00	1	100	1
3	-	-	-	-	-	-	-
4	200.0	20	200.000	200.00	1	100	1

【0082】

更に、本構成のデジタルダウンコンバータにおいて、周波数変換器 31 の周波数設定間隔 FD1 が、要求された入力信号の周波数設定間隔 FD 以下のステッ

で設定可能なとき、周波数変換器 3 1 の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、このデジタルダウンコンバータを制御する制御部のデータ設定時間が、2 個の周波数変換器の両方にデータ設定が必要な従来のデジタルダウンコンバータに比較して半減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【0 0 8 3】

具体的には、例えば I F 周波数の下限が 1 8 0 [M H z] で上限が 2 0 0 [M H z]、更にこの間を 2 0 0 [K H z] ステップで周波数設定しようとする場合、サンプリング周波数 $F_{s1} = 153.6$ [M H z] とすると、入力信号の周波数設定間隔 $dF = 200$ [K H z] のデジタルダウンコンバータにおいては、周波数下限時の位相差データ ϕ を $\phi = 132$ とし、I F 周波数を 2 0 0 [K H z] 変更する毎に位相差データ ϕ を “+1” し、周波数上限時において位相差データ ϕ を $\phi = 232$ とすることができる。

【0 0 8 4】

（第 5 の実施の形態）

更に、第 1 の実施の形態の数値制御発振器は、図 6 に示すようなデジタルアップコンバータに使用することもできる。デジタルアップコンバータは、出力信号の中心周波数 F_{if3} が、要求された出力信号の周波数設定間隔 F_D で割り切れない場合に、第 1 の周波数変換器と、数値制御発振器を局部発振器とする第 2 の周波数変換器とを備え、入力信号を、2 回の周波数変換によって、入力信号より高い周波数の信号へ変換すると共に、サンプリング周波数 F_s でサンプリングされた信号として出力するデジタルアップコンバータの構成について説明する。

【0 0 8 5】

図 6 は、第 1 の実施の形態の数値制御発振器を用いたデジタルアップコンバータの変形例の構成を示すブロック図であって、デジタルアップコンバータは、まず入力された中心周波数 $F_{if1} = 0$ [H z] の複素数信号（ベースバンド信号 I、Q）を、実数軸フィルタ 4 1 a と虚数軸フィルタ 4 1 b とを備えたロー

ルオフフィルタ 41 により、目的の信号帯域に帯域制限する。

【0086】

更に、ロールオフフィルタ 41 の出力信号を、第 1 の実施の形態の数値制御発振器を用いた局部発振器 42a により生成した周波数 F_{c1} の複素ローカル信号（実数軸信号” $C1(t) = \cos(2\pi \times F_{c1} \times t)$ ” と、実数軸信号より 90 度位相の遅れた虚数軸信号” $S1(t) = \sin(2\pi \times F_{c1} \times t)$ ”）と、それぞれ乗算器 42b、42c、42d、42e 及び減算器 42f、加算器 42g を用いて複素乗算する周波数変換器 42 により周波数変換し、中心周波数 F_{if2} の複素数信号を得る。

【0087】

次に、複素数信号のサンプリング周波数 F_{s1} を N 倍してサンプリング周波数 $F_{s2} = F_{s1} \times N$ に変換する実数軸インタポレータ 43a と虚数軸インタポレータ 43b とを備えたインタポレータ 43 によりインタポレーションを行うと共に、インタポレータ 43 の出力信号を、第 1 の実施の形態の数値制御発振器を用いた局部発振器 44a により生成した周波数 F_{c2} の複素ローカル信号（実数軸信号” $C2(t) = \cos(2\pi \times F_{c2} \times t)$ ” と、実数軸信号より 90 度位相の遅れた虚数軸信号” $S2(t) = \sin(2\pi \times F_{c2} \times t)$ ”）と、それぞれ乗算器 44b、44c 及び減算器 44d を用いて複素乗算すると共に実数軸信号を出力する周波数変換器 44 により周波数変換し、目的の中心周波数 F_{if3} の実数信号を出力する。

【0088】

さて、このデジタルアップコンバータにおいて、要求された出力信号の周波数設定間隔 F_D が周波数変換器 44 の周波数設定間隔 F_{D2} 以上でかつ F_D が F_{D2} で割り切れない場合の動作について説明する。この場合、 $K1$ 、 $K2$ 、及び $L2$ を任意の整数とすると、周波数変換器 42 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 42a の位相差データ ϕ_1 を、位相差データ $\phi_1 = F_{c1} / F_{D1} = F_{c1} / (F_D \bmod F_{D2}) \times K1$ とする。そして、 $M1 = F_{s2} / (F_D \bmod F_{D2}) \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する局部発振器 42a が出

力すると共に、 $FD1 = (FD \bmod FD2) / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された周波数 $Fc1$ の複素ローカル信号を用いて、中心周波数 $Fif1$ の信号を中心周波数 $Fif2$ の複素数信号に変換する。

【0089】

また、第1の実施の形態の数値制御発振器を用いた局部発振器44aの位相差データ $\phi2$ を、位相差データ $\phi2 = Fc2 / FD2 = Fc2 / FD \times K2 / L2$ とする。そして、 $M2 = Fs2 / FD \times K2 / L2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器44aが出力すると共に、 $FD2 = FD / K2 \times L2$ で計算される $FD2$ ステップの周波数設定間隔で設定された、周波数 $Fc2$ の複素ローカル信号を用いて、周波数変換器44が、中心周波数 $Fif2$ の信号を中心周波数 $Fif3$ の複素数信号に変換する。

【0090】

同様に、このデジタルアップコンバータにおいて、要求された出力信号の周波数設定間隔 FD が周波数変換器44の周波数設定間隔 $FD2$ 未満でかつ $FD2$ が FD で割り切れない場合の動作について説明する。この場合、周波数変換器42は、第1の実施の形態の数値制御発振器を用いた局部発振器42aの位相差データ $\phi1$ を、位相差データ $\phi1 = Fc1 / FD1 = Fc1 / (FD2 \bmod FD) \times K1$ とする。そして、 $M1 = Fs2 / (FD2 \bmod FD) \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する局部発振器42aが出力すると共に、 $FD1 = (FD2 \bmod FD) / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された周波数 $Fc1$ の複素ローカル信号を用いて、中心周波数 $Fif1$ の信号を中心周波数 $Fif2$ の複素数信号に変換する。

【0091】

また、第1の実施の形態の数値制御発振器を用いた局部発振器44aの位相差データ $\phi2$ を、位相差データ $\phi2 = Fc2 / FD2 = Fc2 / FD \times K2 / L2$ とする。そして、 $M2 = Fs2 / FD \times K2 / L2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器44

a が出力すると共に、 $FD2 = FD / K2 \times L2$ で計算される $FD2$ ステップの周波数設定間隔で設定された、周波数 $Fc2$ の複素ローカル信号を用いて、周波数変換器 4 4 が、中心周波数 $Fif2$ の信号を中心周波数 $Fif3$ の複素数信号に変換する。

【0092】

更に、このデジタルアップコンバータにおいて、要求された出力信号の周波数設定間隔 FD が周波数変換器 4 4 の周波数設定間隔 $FD2$ 以上でかつ FD が $FD2$ で割り切れる場合、あるいは FD が $FD2$ 未満でかつ $FD2$ が FD で割り切れる場合の動作について説明する。この場合、周波数変換器 4 2 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 4 2 a の位相差データ $\phi1$ を、位相差データ $\phi1 = Fc1 / FD1 = Fc1 / FD \times K1$ とする。そして、 $M1 = Fs2 / FD \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する局部発振器 4 2 a が出力すると共に、 $FD1 = FD / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された周波数 $Fc1$ の複素ローカル信号を用いて、中心周波数 $Fif1$ の信号を中心周波数 $Fif2$ の複素数信号に変換する。

【0093】

また、第 1 の実施の形態の数値制御発振器を用いた局部発振器 4 4 a の位相差データ $\phi2$ を、位相差データ $\phi2 = Fc2 / FD2 = Fc2 / FD \times K2 / L2$ とする。そして、 $M2 = Fs2 / FD \times K2 / L2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器 4 4 a が出力すると共に、 $FD2 = FD / K2 \times L2$ で計算される $FD2$ ステップの周波数設定間隔で設定された、周波数 $Fc2$ の複素ローカル信号を用いて、周波数変換器 4 4 が、中心周波数 $Fif2$ の信号を中心周波数 $Fif3$ の複素数信号に変換する。

【0094】

なお、以上の構成を備えたデジタルアップコンバータは、周波数変換器 4 4 の周波数設定間隔 $FD2$ の倍数が出力信号の周波数設定間隔 FD の倍数と一致する場合、周波数変換器 4 4 のみの動作で、デジタルアップコンバータの出力

信号の周波数設定間隔を $F D$ とすることができる。そのような場合、周波数変換器 42 による周波数変換を停止しても良い。

【0095】

また、本構成のデジタルアップコンバータにおいて、周波数変換器 44 の周波数設定間隔 $F D$ が、要求された出力信号の周波数設定間隔 $F D$ 以下のステップで設定可能なとき、周波数変換器 44 の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、このデジタルダウンコンバータを制御する制御部のデータ設定時間が、2 個の周波数変換器の両方にデータ設定が必要な従来のデジタルダウンコンバータに比較して半減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【0096】

（第 6 の実施の形態）

次に、第 1 の実施の形態の数値制御発振器を用いた受信機について説明する。

図 7 は、第 1 の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図であって、受信機は、第 1 の実施の形態の数値制御発振器 51a を DAC (Digital to Analog Converter) 51b によりアナログ化し、この信号を PLL 回路 51c のリファレンスとする局部発振器 51 を備えており、局部発振器 51 の出力する周波数 F_{cp} のアナログローカル信号（実数軸信号” $C(t) = \cos(2\pi \times F_{cp} \times t)$ ”）により周波数変換するミキサ 52 を用いて、まず入力された中心周波数 F_{rf} の受信信号（実数信号）を、中心周波数 F_{ifa} のアナログ中間周波数信号へ変換する。

【0097】

なお、ここで、局部発振器 51 は、PLL 回路 51c の逡倍比を P 、数値制御発振器 51a の出力周波数 F_{cl} とすると、アナログローカル信号の周波数 F_{cp} を、 $F_{cp} = F_{rf} - F_{ifa} = F_{cl} \times P$ とする信号を出力する。従って、アナログローカル信号の周波数設定ステップ FDP （ミキサ 52 の周波数設定間隔）も、数値制御発振器 51a の周波数設定ステップ FD を P 倍したものとなる。

。

【0098】

また、該アナログ中間周波数信号の周波数帯域を通過周波数帯域とするバンドパスフィルタ53により、アナログ中間周波数信号を抽出し、ADC (Analog to Digital Converter) 54へ入力する。

ADC 54では、入力されたアナログ中間周波数信号を量子化し、「サブナイキスト サンプリング」された中心周波数 F_{if2} のデジタル中間周波数信号を生成する。

そして、ADC 54の出力を、図3を用いて説明したデジタルダウンコンバータ11を用いて復調器55の要求する入力信号の周波数の複素数信号(I、Q)へ変換し、復調器55へ入力する。

復調器55では、デジタルダウンコンバータ11が出力する信号を復調して受信データを抽出する。

【0099】

さて、この受信機において、例えば要求された受信信号の周波数設定間隔 F_D がミキサ52の周波数設定間隔 F_{DP} 以上で、 F_D が F_{DP} で割り切れない場合の動作について説明する。この場合、 K_1 、 K_2 、及び L_1 を任意の整数とすると、ミキサ52は、サンプリング周波数 F_s で動作する第1の実施の形態の数値制御発振器を用いた、数値制御発振器51aの位相差データ ϕ_1 を、位相差データ $\phi_1 = F_{c1} / F_{D1} = F_{c1} / F_D \times K_1 / L_1$ とする。そして、 $M_1 = F_s / F_D \times K_1 / L_1 \times P$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する局部発振器51が出力すると共に、 $F_{DP} = F_D / K_1 \times L_1$ で計算される F_{DP} ステップの周波数設定間隔で設定された、周波数 F_{cp} のアナログローカル信号を用いて、中心周波数 F_{rf} の信号を中心周波数 F_{ifa} のアナログ中間周波数信号に変換する。

【0100】

また、第1の実施の形態の数値制御発振器を用いた局部発振器12aの位相差データ ϕ_2 を、位相差データ $\phi_2 = F_{c2} / F_{D2} = F_{c2} / (F_D \bmod F_{DP}) \times K_2$ とする。そして、中心周波数 F_{ifa} のアナログ中間周波数信号を

ADC 54で「サブナイキスト サンプリング」した中心周波数 F_{if2} でサンプリング周波数 F_{s1} の信号を、周波数変換器12が、 $M2 = F_{s1} / (FD \bmod FDP) \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器12aが出力すると共に、 $FD2 = (FD \bmod FDP) / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された、周波数 F_{c2} の複素ローカル信号を用いて、復調器55の要求する入力信号の周波数に変換する。

【0101】

同様に、この受信機において、例えば要求された受信信号の周波数設定間隔 FD がミキサ52の周波数設定間隔 FDP 未満で、 FDP が FD で割り切れない場合、ミキサ52は、サンプリング周波数 F_s で動作する第1の実施の形態の数値制御発振器を用いた、数値制御発振器51aの位相差データ ϕ_1 を、位相差データ $\phi_1 = F_{c1} / FD1 = F_{c1} / FD \times K1 / L1$ とする。そして、 $M1 = F_s / FD \times K1 / L1 \times P$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する局部発振器51が出力すると共に、 $FDP = FD / K1 \times L1$ で計算される FDP ステップの周波数設定間隔で設定された、周波数 F_{cp} のアナログローカル信号を用いて、中心周波数 F_{rf} の信号を中心周波数 F_{ifa} のアナログ中間周波数信号に変換する。

【0102】

また、第1の実施の形態の数値制御発振器を用いた局部発振器12aの位相差データ ϕ_2 を、位相差データ $\phi_2 = F_{c2} / FD2 = F_{c2} / (FDP \bmod FD) \times K2$ とする。そして、中心周波数 F_{ifa} のアナログ中間周波数信号をADC 54で「サブナイキスト サンプリング」した中心周波数 F_{if2} でサンプリング周波数 F_{s1} の信号を、周波数変換器12が、 $M2 = F_{s1} / (FDP \bmod FD) \times K2$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器12aが出力すると共に、 $FD2 = (FDP \bmod FD) / K2$ で計算される $FD2$ ステップの周波数設定間隔で設定された、周波数 F_{c2} の複素ローカル信号を用いて、復調器55の要求する入力信号の周波数に変換する。

【0103】

更に、このデジタルダウンコンバータにおいて、例えば要求された受信信号の周波数設定間隔 F_D がミキサ 52 の周波数設定間隔 F_{DP} 以上でかつ F_D が F_{DP} で割り切れる場合、あるいは F_D が F_{DP} 未満でかつ F_{DP} が F_D で割り切れる場合、ミキサ 52 は、サンプリング周波数 F_s で動作する第 1 の実施の形態の数値制御発振器を用いた数値制御発振器 51 の位相差データ ϕ_1 を、位相差データ $\phi_1 = F_{c1} / F_{D1} = F_{c1} / F_D \times K_1 / L_1$ とする。そして、 $M_1 = F_s / F_D \times K_1 / L_1 \times P$ で計算される M_1 の中で整数となる M_1 を法として位相データをモジュロ演算により累算する局部発振器 51 が出力すると共に、 $F_{DP} = F_D / K_1 \times L_1$ で計算される F_{DP} ステップの周波数設定間隔で設定された、周波数 F_{cp} のアナログローカル信号を用いて、中心周波数 F_{rf} の信号を中心周波数 F_{ifa} のアナログ中間周波数信号に変換する。

【0104】

また、第 1 の実施の形態の数値制御発振器を用いた局部発振器 12a の位相差データ ϕ_2 を、位相差データ $\phi_2 = F_{c2} / F_{D2} = F_{c2} / F_D \times K_2$ とする。そして、中心周波数 F_{ifa} のアナログ中間周波数信号を ADC 54 で「サブナイキスト サンプリング」した中心周波数 F_{if2} でサンプリング周波数 F_{s1} の信号を、周波数変換器 12 が、 $M_2 = F_{s1} / F_D \times K_2$ で計算される M_2 の中で整数となる M_2 を法として位相データをモジュロ演算により累算する局部発振器 12a が出力すると共に、 $F_{D2} = F_D / K_2$ で計算される F_{D2} ステップの周波数設定間隔で設定された、周波数 F_{c2} の複素ローカル信号を用いて、復調器 55 の要求する入力信号の周波数に変換する。

【0105】

なお、以上の構成を備えた受信機は、ミキサ 52 の周波数設定間隔 F_{DP} の倍数が受信信号の周波数設定間隔 F_D の倍数と一致する場合、ミキサ 52 のみの動作で、周波数設定間隔 F_D で入力される受信機の受信信号を、復調器 55 の要求する入力信号の周波数へ変換することができる。そのような場合、周波数変換器 12 による周波数変換を停止しても良い。

【0106】

また、以上の構成を備えた受信機の各変数の設定値は、以下の表 6 から表 9 に示すような値とすることができる。なお、表 6 及び表 7 は W-CDMA システムにおける各変数の設定例を、表 8 は I S - 9 5 B a n d (C l a s s 0) における各変数の設定例を、表 9 は I E E E 8 0 2 . 1 1 a システムにおける各変数の設定例を示す。

【 0 1 0 7 】

【表 6】

No.	Fr _f [MHz]	F _{cp} [MHz]	P	FD [kHz]	FDP [kHz]	F _s [MHz]	FD1 [kHz]	F _{c1} [MHz]	K1	L1
1	2257.50	2068.00	200	200.0	4000.0	61.440	20.0	10.340	1	20
2	2257.50	2068.00	100	200.0	4000.0	92.160	40.0	20.680	1	20
3	2257.50	2068.00	100	200.0	4000.0	122.880	40.0	20.680	1	20
4	2247.50	2060.00	100	200.0	5000.0	153.600	50.0	20.600	1	25
5	2252.50	2065.00	100	200.0	5000.0	153.600	50.0	20.650	1	25
6	2257.50	2070.00	100	200.0	5000.0	153.600	50.0	20.700	1	25
7	2257.52	2070.00	100	200.0	5000.0	153.600	50.0	20.700	1	25
8	2262.50	2075.00	100	200.0	5000.0	153.600	50.0	20.750	1	25
9	2262.54	2075.00	100	200.0	5000.0	153.600	50.0	20.750	1	25
10	2267.50	2080.00	100	200.0	5000.0	153.600	50.0	20.800	1	25
11	2257.50	2066.40	128	200.0	2400.0	153.600	18.8	16.144	1	12
12	2257.50	2066.40	128	200.0	2400.0	153.600	18.8	16.144	1	12
13	2257.50	2066.40	128	200.0	2400.0	153.600	18.8	16.144	1	12
14	2257.50	2070.00	50	200.0	5000.0	150.000	100.0	41.400	1	25

【0108】

【表 7】

No.	M1	$\Delta \phi 1$	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	$\Delta \phi 2$
1	3072	517	189.50	35.90	153.6	100.000	35.90	2	1536	359
2	2304	517	189.50	35.90	153.6	100.000	35.90	2	1536	359
3	3072	517	189.50	35.90	153.6	100.000	35.90	2	1536	359
4	3072	412	187.50	33.90	153.6	100.000	33.90	2	1536	339
5	3072	413	187.50	33.90	153.6	100.000	33.90	2	1536	339
6	3072	414	187.50	33.90	153.6	100.000	33.90	2	1536	339
7	3072	414	187.52	33.92	153.6	20.000	33.92	10	7680	1696
8	3072	415	187.50	33.90	153.6	100.000	33.90	2	1536	339
9	3072	415	187.54	33.94	153.6	20.000	33.94	10	7680	1697
10	3072	416	187.50	33.90	153.6	100.000	33.90	2	1536	339
11	8192	861	191.10	37.50	153.6	100.000	37.50	2	1536	375
12	8192	861	191.10	37.50	153.6	100.000	37.50	2	1536	375
13	8192	861	191.10	37.50	153.6	100.000	37.50	2	1536	375
14	1500	414	187.50	33.90	153.6	100.000	33.90	2	1536	339

【0109】

【表 8】

No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	869.97	679.68	50	30.0	960.0	98.304	19.2	13.594	1	32
2	870.00	679.68	50	30.0	960.0	98.304	19.2	13.594	1	32
3	870.03	679.68	50	30.0	960.0	98.304	19.2	13.594	1	32
4	869.97	679.68	50	30.0	960.0	157.286	19.2	13.594	1	32
5	870.00	679.68	50	30.0	960.0	157.286	19.2	13.594	1	32
6	870.03	679.68	50	30.0	960.0	157.286	19.2	13.594	1	32

No.	M1	$\Delta \phi 1$	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	$\Delta \phi 2$
1	5120	708	190.29	33.00	157.286	3.750	33.00	8	41943	8801
2	5120	708	190.32	33.03	157.286	3.750	33.03	8	41943	8809
3	5120	708	190.35	33.06	157.286	3.750	33.06	8	41943	8817
4	8192	708	190.29	33.00	157.286	3.750	33.00	8	41943	8801
5	8192	708	190.32	33.03	157.286	3.750	33.03	8	41943	8809
6	8192	708	190.35	33.06	157.286	3.750	33.06	8	41943	8817

【0110】

【表 9】

No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	5200.00	5010.00	200	100.0	10000.0	100.00	50.0	25.050	1	100
2	5180.00	4990.00	128	200.0	10000.0	200.00	78.1	38.984	1	50
3	5200.00	5010.00	128	200.0	10000.0	200.00	78.1	39.141	1	50
4	5220.00	5030.00	128	200.0	10000.0	200.00	78.1	39.297	1	50

No.	M1	$\Delta \phi 1$	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	$\Delta \phi 2$
1	2000	501	190.00	-10.00	100	100.000	-10.00	1	1000	-100
2	2560	499	190.00	-10.00	200	200.000	-10.00	1	1000	-50
3	2560	501	190.00	-10.00	200	200.000	-10.00	1	1000	-50
4	2560	503	190.00	-10.00	200	200.000	-10.00	1	1000	-50

【0111】

更に、本構成の受信機においても、ミキサ52の周波数設定間隔FDPが、要

求された受信信号の周波数設定間隔 $F D$ 以下のステップで設定可能なとき、局部発振器 5 1 の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、この受信機を制御する制御部のデータ設定時間が、従来の受信機に比較して削減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【0 1 1 2】

（第 7 の実施の形態）

また、図 8 は、第 1 の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図であって、図 7 に示す受信機のミキサ 5 2 に代えて、直交復調器 8 2 を用い、受信信号がアナログ信号の状態では直交復調される場合の構成例である。

図 8 において、受信機は、第 1 の実施の形態の数値制御発振器 8 1 a を D A C (Digital to Analog Converter) 8 1 b によりアナログ化し、この信号を P L L 回路 8 1 c のリファレンスとする局部発振器 8 1 を備えており、局部発振器 8 1 の出力する周波数 F_{cp} のアナログローカル信号（実数軸信号” $C_1(t) = \cos(2\pi \times F_{cp} \times t)$ ” と、実数軸信号より 90 度位相の進んだ虚数軸信号” $-S_1(t) = \sin(2\pi \times F_{cp} \times t)$ ”）を用いて、実数軸ミキサ 8 2 a と虚数軸ミキサ 8 2 b とを備えた直交復調器 8 2 が、まず入力された中心周波数 F_{rf} の受信信号（実数信号）を、中心周波数 F_{ifa} のアナログ中間周波複素数信号へ変換する。

【0 1 1 3】

なお、ここで、局部発振器 8 1 は、P L L 回路 8 1 c の通倍比を P 、数値制御発振器 8 1 a の出力周波数 F_{cl} とすると、アナログローカル信号の周波数 F_{cp} を、 $F_{cp} = F_{rf} - F_{ifa} = F_{cl} \times P$ とする信号を出力する。従って、アナログローカル信号の周波数設定ステップ $F D P$ （直交復調器 8 2 の周波数設定間隔）も、数値制御発振器 8 1 a の周波数設定ステップ $F D$ を P 倍したものとなる。

【0 1 1 4】

また、該アナログ中間周波複素数信号の周波数帯域を通過周波数帯域とする実

数軸バンドパスフィルタ 8 3 a と虚数軸バンドパスフィルタ 8 3 b とを備えたバンドパスフィルタ 8 3 により、アナログ中間周波複素数信号を抽出し、実数軸用 ADC 8 4 a と虚数軸用 ADC 8 4 b とを備えた ADC (Analog to Digital Converter) 8 4 へ入力する。

ADC 8 4 では、入力されたアナログ中間周波複素数信号を量子化し、中心周波数 F_{if2} のデジタル中間周波数信号を生成する。

【0 1 1 5】

そして、ADC 8 4 の出力を、第 1 の実施の形態の数値制御発振器を用いた局部発振器 8 5 a により生成した周波数 F_{c2} の複素ローカル信号（実数軸信号” $C_2(t) = \cos(2\pi \times F_{c2} \times t)$ ” と、実数軸信号より 90 度位相の進んだ虚数軸信号” $S_2(t) = -\sin(2\pi \times F_{c2} \times t)$ ”）と、それぞれ乗算器 8 5 b、8 5 c、8 5 d、8 5 e 及び減算器 8 5 f、加算器 8 5 g を用いて複素乗算する周波数変換器 8 5 により周波数変換する。

【0 1 1 6】

次に、複素数信号のサンプリング周波数 F_{s1} を $1/N$ 倍してサンプリング周波数 $F_{s2} = F_{s1}/N$ に変換する実数軸デシメータ 8 6 a と虚数軸デシメータ 8 6 b とを備えたデシメータ 8 6 によりデシメーションを行うと共に、実数軸フィルタ 8 7 a と虚数軸フィルタ 8 7 b とを備えたロールオフフィルタ 8 7 により、目的の信号帯域の帯域制限が実施された復調器 5 5 の要求する入力信号の周波数の複素数信号 (I、Q) へ変換し、復調器 5 5 へ入力する。

【0 1 1 7】

なお、この受信機において、数値制御発振器 8 1 a と、局部発振器 8 1 と、局部発振器 8 5 a と、周波数変換器 8 5 は、要求された受信信号の周波数設定間隔 F_D と直交復調器 8 2 の周波数設定間隔 F_{DP} との関係に基づき、図 7 を用いて説明した受信機に備えられた数値制御発振器 5 1 a と、局部発振器 5 1 と、局部発振器 1 2 a と、周波数変換器 1 2 と同様の動作を行う。

【0 1 1 8】

また、以上の構成を備えた受信機も、直交復調器 8 2 の周波数設定間隔 F_{DP} の倍数が入力信号の周波数設定間隔 F_D の倍数と一致する場合、直交復調器 8 2

のみの動作で、周波数設定間隔 F_D で入力される受信機の受信信号を、復調器の要求する入力信号の周波数へ変換することができる。そのような場合、周波数変換器 8 5 による周波数変換を停止しても良い。

【 0 1 1 9 】

また、以上の構成を備えた受信機の各変数の設定値は、以下の表 1 0 から表 1 3 に示すような値とすることができる。なお、表 1 0 及び表 1 1 は W - C D M A システムにおける各変数の設定例を、表 1 2 は I S - 9 5 B a n d (C l a s s 0) における各変数の設定例を、表 1 3 は I E E E 8 0 2 . 1 1 a システムにおける各変数の設定例を示す。

【 0 1 2 0 】

【表 10】

No.	Fr _f [MHz]	F _{cp} [MHz]	P	FD [kHz]	FDP [kHz]	F _s [MHz]	FD1 [kHz]	F _{c1} [MHz]	K1	L1
1	2257.50	2256.00	200.0	200.0	4000.0	61.440	20.0	11.280	1	20
2	2257.50	2256.00	100.0	200.0	4000.0	92.160	40.0	22.560	1	20
3	2257.50	2256.00	100.0	200.0	4000.0	122.880	40.0	22.560	1	20
4	2247.50	2250.00	100.0	200.0	5000.0	153.600	50.0	22.500	1	25
5	2252.50	2255.00	100.0	200.0	5000.0	153.600	50.0	22.550	1	25
6	2257.50	2260.00	100.0	200.0	5000.0	153.600	50.0	22.600	1	25
7	2257.52	2260.00	100.0	200.0	5000.0	153.600	50.0	22.600	1	25
8	2262.50	2265.00	100.0	200.0	5000.0	153.600	50.0	22.650	1	25
9	2262.54	2265.00	100.0	200.0	5000.0	153.600	50.0	22.650	1	25
10	2267.50	2270.00	100.0	200.0	5000.0	153.600	50.0	22.700	1	25
11	2257.50	2258.40	128.0	200.0	2400.0	153.600	18.8	17.644	1	12
12	2257.50	2258.40	128.0	200.0	2400.0	153.600	18.8	17.644	1	12
13	2257.50	2258.40	128.0	200.0	2400.0	153.600	18.8	17.644	1	12
14	2257.50	2260.00	50.0	200.0	5000.0	150.000	100.0	45.200	1	25

【0121】

【表 11】

No.	M1	$\Delta \phi 1$	F _{1a} [MHz]	F _{1f} [MHz]	F _{s1} [MHz]	FD2 [kHz]	F _{c2} [MHz]	K2	M2	$\Delta \phi 2$
1	3072	564	1.50	1.50	30.72	25.000	1.50	8	1229	60
2	2304	564	1.50	1.50	30.72	25.000	1.50	8	1229	60
3	3072	564	1.50	1.50	30.72	25.000	1.50	8	1229	60
4	3072	450	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
5	3072	451	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
6	3072	452	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
7	3072	452	-2.48	-2.48	30.72	20.000	-2.48	10	1536	-124
8	3072	453	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
9	3072	453	-2.46	-2.46	30.72	20.000	-2.46	10	1536	-123
10	3072	454	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
11	8192	941	-0.90	-0.90	30.72	33.333	-0.90	6	922	-27
12	8192	941	-0.90	-0.90	30.72	33.333	-0.90	6	922	-27
13	8192	941	-0.90	-0.90	30.72	33.333	-0.90	6	922	-27
14	1500	452	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125

【0122】

【表 12】

No.	Fr _f [MHz]	F _{cp} [MHz]	P	FD [KHz]	FDP [KHz]	F _s [MHz]	FD1 [KHz]	F _{c1} [MHz]	K1	L1
1	869.97	869.76	50	30.0	960.0	98.304	19.2	17.395	1	32
2	870.00	869.76	50	30.0	960.0	98.304	19.2	17.395	1	32
3	870.03	869.76	50	30.0	960.0	98.304	19.2	17.395	1	32
4	869.97	869.76	50	30.0	960.0	157.286	19.2	17.395	1	32
5	870.00	869.76	50	30.0	960.0	157.286	19.2	17.395	1	32
6	870.03	869.76	50	30.0	960.0	157.286	19.2	17.395	1	32

No.	M1	$\Delta \phi 1$	F _{ifa} [MHz]	F _{if2} [MHz]	F _{s1} [MHz]	FD2 [KHz]	F _{c2} [MHz]	K2	M2	$\Delta \phi 2$
1	5120	906	0.21	0.21	9.8304	30.000	0.21	1	328	7
2	5120	906	0.24	0.24	9.8304	30.000	0.24	1	328	8
3	5120	906	0.27	0.27	9.8304	30.000	0.27	1	328	9
4	8192	906	0.21	0.21	9.8304	30.000	0.21	1	328	7
5	8192	906	0.24	0.24	9.8304	30.000	0.24	1	328	8
6	8192	906	0.27	0.27	9.8304	30.000	0.27	1	328	9

【0123】

【表 13】

No.	Fr _f [MHz]	F _{cp} [MHz]	P	FD [KHz]	FDP [KHz]	F _s [MHz]	FD1 [KHz]	F _{c1} [MHz]	K1	L1
1	5200.00	5200.00	200	100.0	10000.0	100.00	50.0	26.000	1	100
2	5180.00	5180.00	128	200.0	10000.0	200.00	78.1	40.469	1	50
3	5200.00	5200.00	128	200.0	10000.0	200.00	78.1	40.625	1	50
4	5220.00	5220.00	128	200.0	10000.0	200.00	78.1	40.781	1	50

No.	M1	$\Delta\phi 1$	F _{ifa} [MHz]	F _{if2} [MHz]	F _{s1} [MHz]	FD2 [KHz]	F _{c2} [MHz]	K2	M2	$\Delta\phi 2$
1	2000	520	0.00	0.00	100	—	—	—	—	—
2	2560	518	0.00	0.00	200	—	—	—	—	—
3	2560	520	0.00	0.00	200	—	—	—	—	—
4	2560	522	0.00	0.00	200	—	—	—	—	—

【0124】

更に、本構成の受信機においても、直交復調器 82 の周波数設定間隔 FDP が

、要求された受信信号の周波数設定間隔 $F D$ 以下のステップで設定可能なとき、局部発振器 81 の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、この受信機を制御する制御部のデータ設定時間が、従来の受信機に比較して削減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【0125】

また、本構成の受信機では、アナログ中間周波複素数信号の中心周波数 F_{if} a を低く設定することができるので、後段の周波数変換器 85 を構成する第 1 の実施の形態の数値制御発振器を用いた局部発振器 85 a に必要な位相振幅データの数と比較的少な目にすることができるという効果がある。

【0126】

（第 8 の実施の形態）

また、第 1 の実施の形態の数値制御発振器は、図 9 に示すような送信機に使用することもできる。

図 9 は、第 1 の実施の形態の数値制御発振器を用いた送信機の構成を示すブロック図であって、送信機は、まず、送信機で送信する送信データにより搬送波を変調する変調器 61 が出力する複素数信号（ベースバンド信号 I 、 Q ）を、実数軸フィルタ 62 a と虚数軸フィルタ 62 b とを備えたロールオフフィルタ 62 により、目的の信号帯域に帯域制限する。

【0127】

更に、ロールオフフィルタ 62 の出力信号を、第 1 の実施の形態の数値制御発振器を用いた局部発振器 63 a により生成した周波数 $F_{c1} = F_{if2}$ の複素ローカル信号（実数軸信号” $C1(t) = \cos(2\pi \times F_{c1} \times t)$ ” と、実数軸信号より 90 度位相の遅れた虚数軸信号” $S1(t) = \sin(2\pi \times F_{c1} \times t)$ ”。）と、それぞれ乗算器 63 b、63 c、63 d、63 e 及び減算器 63 f、加算器 63 g を用いて複素乗算する周波数変換器 63 により周波数変換し、中心周波数 F_{if2} の複素数信号を得る。

【0128】

次に、インタポレーションバンドパスフィルタ 68 において、複素数信号のサ

ンプリング周波数をN倍にする実数軸インタポレータ64aと虚数軸インタポレータ64bとによりインタポレーションを行い、入力された信号のサンプリング周波数 F_{s1} を $F_{s2} = F_{s1} \times N$ へ変換し、更に、ローパスフィルタ65のフィルタ係数に、第1の実施の形態の数値制御発振器70aの出力（実数軸信号” $C2(t) = \cos(2\pi \times F_{c2} \times t)$ ”と、実数軸信号より90度位相の遅れた虚数軸信号” $S2(t) = \sin(2\pi \times F_{c2} \times t)$ ”）を乗算器66a、66bにより乗算して生成するバンドパスフィルタのバンドパス実数軸フィルタ67aとバンドパス虚数軸フィルタ67b、及び減算器67c、加算器67dを備え、インタポレータ64a、64bの出力信号に複素のバンドパスフィルタ処理を施す。

【0129】

更に、インタポレーションバンドパスフィルタ68の出力を実数軸用DAC（Digital to Analog Converter）69aと虚数軸用DAC（Digital to Analog Converter）69bとにより中心周波数 F_{if2} のデジタル信号から中心周波数 F_{ifa} のアナログ中間周波数信号へ変換する。

そして、第1の実施の形態の数値制御発振器70aをDAC70bによりアナログ化した信号をPLL回路70cのリファレンスとする局部発振器70が出力する周波数 F_{cp} の複素アナログローカル信号（実数軸信号” $C3(t) = \cos(2\pi \times F_{cp} \times t)$ ”と、実数軸信号より90度位相の遅れた虚数軸信号” $S3(t) = \sin(2\pi \times F_{cp} \times t)$ ”）と、実数軸用DAC69aと虚数軸用DAC69bの出力する複素のアナログ中間周波数信号とを、それぞれ乗算器71a、71b及び減算器71cを用いて複素乗算すると共に実数軸信号を出力する直交変調器71により周波数変換し、目的の中心周波数 F_{rf} の送信信号（実数信号）を出力する。

【0130】

なお、ここで、局部発振器70は、PLL回路70cの通倍比をP、数値制御発振器70aの出力周波数 F_{c2} とすると、アナログローカル信号の周波数 F_{cp} を、 $F_{cp} = F_{rf} - F_{ifa} = F_{c2} \times P$ とする信号を出力する。従って、アナログローカル信号の周波数設定ステップFDP（直交変調器71の周波数設

定間隔)も、数値制御発振器 70 a の周波数設定ステップ FD を P 倍したものとなる。

【0131】

さて、この送信機において、要求された送信信号の周波数設定間隔 FD が直交変調器 71 の周波数設定間隔 FDP 以上でかつ FD が FDP で割り切れない場合の動作について説明する。この場合、 $K1$ 、 $K2$ 、及び $L2$ を任意の整数とすると、周波数変換器 63 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 63 a の位相差データ $\phi 1$ を、位相差データ $\phi 1 = Fc1 / FD1 = Fc1 / (FD \bmod FDP) \times K1$ とする。そして、変調器 61 が出力するサンプリング周波数 $Fs1$ の複素数信号 (ベースバンド信号 I 、 Q) を、 $M1 = Fs1 / (FD \bmod FDP) \times K1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する局部発振器 63 a が出力すると共に、 $FD1 = (FD \bmod FDP) / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された、周波数 $Fc1$ の複素ローカル信号を用いて、中心周波数 $Fif2$ の複素数信号に変換する。

【0132】

また、サンプリング周波数 Fs で動作する第 1 の実施の形態の数値制御発振器を用いた、数値制御発振器 70 a の位相差データ $\phi 2$ を、位相差データ $\phi 2 = Fc2 / FD2 = Fc2 / FD \times K2 / L2$ とする。そして、中心周波数 $Fif2$ のデジタル中間周波数信号を DAC 69 a、69 b でアナログ化した中心周波数 $Fifa$ のアナログ中間周波数信号を、直交変調器 71 が、 $M2 = Fs / FD \times K2 / L2 \times P$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器 70 が出力すると共に、 $FDP = FD / K2 \times L2$ で計算される FDP ステップの周波数設定間隔で設定された、周波数 Fcp のアナログローカル信号を用いて、目的の中心周波数 Frf の送信信号 (実数信号) に変換する。

【0133】

同様に、この送信機において、要求された送信信号の周波数設定間隔 FD が直交変調器 71 の周波数設定間隔 FDP 未満でかつ FDP が FD で割り切れない場

合の動作について説明する。この場合、周波数変換器 63 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 63 a の位相差データ $\phi 1$ を、位相差データ $\phi 1 = F_{c1} / F_{D1} = F_{c1} / (F_{DP} \bmod F_D) \times K_1$ とする。そして、変調器 61 が出力するサンプリング周波数 F_{s1} の複素数信号（ベースバンド信号 I、Q）を、 $M1 = F_{s1} / (F_{DP} \bmod F_D) \times K_1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュロ演算により累算する局部発振器 63 a が出力すると共に、 $F_{D1} = (F_{DP} \bmod F_D) / K_1$ で計算される F_{D1} ステップの周波数設定間隔で設定された、周波数 F_{c1} の複素ローカル信号を用いて、中心周波数 F_{if2} の複素数信号に変換する。

【0134】

また、サンプリング周波数 F_s で動作する第 1 の実施の形態の数値制御発振器を用いた、数値制御発振器 70 a の位相差データ $\phi 2$ を、位相差データ $\phi 2 = F_{c2} / F_{D2} = F_{c2} / F_D \times K_2 / L_2$ とする。そして、中心周波数 F_{if2} のデジタル中間周波数信号を DAC 69 a、69 b でアナログ化した中心周波数 F_{ifa} のアナログ中間周波数信号を、直交変調器 71 が、 $M2 = F_s / F_D \times K_2 / L_2 \times P$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器 70 が出力すると共に、 $F_{DP} = F_D / K_2 \times L_2$ で計算される F_{DP} ステップの周波数設定間隔で設定された、周波数 F_{cp} のアナログローカル信号を用いて、目的の中心周波数 F_{rf} の送信信号（実数信号）に変換する。

【0135】

更に、この送信機において、要求された送信信号の周波数設定間隔 F_D が直交変調器 71 の周波数設定間隔 F_{DP} 以上でかつ F_D が F_{DP} で割り切れる場合、あるいは F_D が F_{DP} 未満でかつ F_{DP} が F_D で割り切れる場合の動作について説明する。この場合、周波数変換器 63 は、第 1 の実施の形態の数値制御発振器を用いた局部発振器 63 a の位相差データ $\phi 1$ を、位相差データ $\phi 1 = F_{c1} / F_{D1} = F_{c1} / F_D \times K_1$ とする。そして、変調器 61 が出力するサンプリング周波数 F_{s1} の複素数信号（ベースバンド信号 I、Q）を、 $M1 = F_{s1} / F_D \times K_1$ で計算される $M1$ の中で整数となる $M1$ を法として位相データをモジュ

ロ演算により累算する局部発振器 63a が出力すると共に、 $FD1 = FD / K1$ で計算される $FD1$ ステップの周波数設定間隔で設定された、周波数 F_{c1} の複素ローカル信号を用いて、中心周波数 F_{if2} の複素数信号に変換する。

【0136】

また、サンプリング周波数 F_s で動作する第1の実施の形態の数値制御発振器を用いた、数値制御発振器 70a の位相差データ ϕ_2 を、位相差データ $\phi_2 = F_{c2} / FD2 = F_{c2} / FD \times K2 / L2$ とする。そして、中心周波数 F_{if2} のデジタル中間周波数信号を DAC 69a、69b でアナログ化した中心周波数 F_{ifa} のアナログ中間周波数信号を、直交変調器 71 が、 $M2 = F_s / FD \times K2 / L2 \times P$ で計算される $M2$ の中で整数となる $M2$ を法として位相データをモジュロ演算により累算する局部発振器 70 が出力すると共に、 $FDP = FD / K2 \times L2$ で計算される FDP ステップの周波数設定間隔で設定された、周波数 F_{cp} のアナログローカル信号を用いて、目的の中心周波数 F_{rf} の送信信号（実数信号）に変換する。

【0137】

なお、以上の構成を備えた送信機は、直交変調器 71 の周波数設定間隔 FDP の倍数が送信信号の周波数設定間隔 FD の倍数と一致する場合、直交変調器 71 のみの動作で、送信信号を、目的の中心周波数 F_{rf} の送信信号（実数信号）に変換することができる。そのような場合、周波数変換器 63 による周波数変換を停止しても良い。

【0138】

また、本構成の送信機においても、直交変調器 71 の周波数設定間隔 FDP が、要求された送信信号の周波数設定間隔 FD 以下のステップで設定可能なとき、局部発振器 70 の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の出力が可能となるため、この送信機を制御する制御部のデータ設定時間が、従来の送信機に比較して削減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【0139】

以上説明したように、第1の実施の形態の数値制御発振器は、出力する信号の

サンプリング周波数を F_s 、要求された出力信号の周波数設定間隔の上限値を F_D とし、更に K 及び L を任意の整数とした場合、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M を用い、位相演算器 1 b において、入力された位相差データと位相レジスタ 1 a の出力する位相データとの M を法とするモジュロ演算を行い位相データを生成し、 M 個の振幅データから成る位相振幅変換テーブルを記憶する ROM 2 のデータ端子から位相データに対応した振幅データを出力することにより、 $dF = F_D / K \times L$ で計算される dF を出力信号の周波数設定間隔とする低スプリアスの数値制御発振器を実現することができる。

【0140】

従って、出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を、従来より少ない M 個の低容量の振幅データのみにより実現することで、数値制御発振器の消費電力とコストを低減することができるという効果が得られる。

同様に、第 1 の実施の形態の数値制御発振器を用いて、第 2 から第 8 の実施の形態に示すようなデジタルダウンコンバータやデジタルダウンコンバータ、更には復調器を備えた受信機や変調器を備えた送信機を実現すると、従来より消費電力とコストを低減したデジタルダウンコンバータやデジタルダウンコンバータ、更には受信機や送信機を実現することができるという効果が得られる。

【0141】

【発明の効果】

以上の如く、請求項 1 に記載の数値制御発振器によれば、要求された出力信号の周波数設定間隔の上限値を F_D とし、 K 及び L を任意の整数とした場合、位相累算器によって、位相差データを M (但し、 $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M) を法とするモジュロ演算を用いた累算により位相データを生成し、位相振幅変換テーブルのアドレスとして入力することで、位相振幅変換テーブルの出力として、 $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号を得ることができる。

【0142】

従って、出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低

スプリアスの数値制御発振器を、従来より少ないM個の低容量の振幅データのみにより実現することで、数値制御発振器の消費電力とコストを低減することができるという効果が得られる。

【0143】

請求項2に記載のデジタルダウンコンバータによれば、 $dF = FD / K \times L$ で計算されるdFステップの周波数設定間隔を持つ請求項1に記載の数値制御発振器を局部発振器として発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、入力信号の周波数設定間隔FDが周波数変換器の周波数設定間隔dF以上でかつFDがdFで割り切れる場合には、周波数設定間隔FDで入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【0144】

従って、 $M = Fs / FD \times K / L$ で計算される従来より少ないM個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号を許容周波数偏差以内の希望の周波数へ変換することができるデジタルダウンコンバータの消費電力とコストを低減することができるという効果が得られる。

【0145】

請求項3から請求項5に記載のデジタルダウンコンバータによれば、周波数を変換するために用意された2個の周波数変換器の内、一方をM1個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方をM2個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、入力信号の周波数設定間隔FDが第1の周波数変換器の周波数設定間隔FD1以上でかつFDがFD1で割り切れない場合、入力信号の周波数設定間隔FDが第1の周波数変換器の周波数設定間隔FD1未満でかつFD1がFDで割り切れない場合、入力信号の周波数設定間隔FDが第1の周波数変換器の周波数設定間隔

F D 1 以上でかつ F D が F D 1 で割り切れる場合、あるいは F D が F D 1 未満でかつ F D 1 が F D で割り切れる場合に対応できるデジタルダウンコンバータを実現することができる。

【 0 1 4 6 】

従って、従来より少ない M 1 個、及び M 2 個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした 2 つの低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号を許容周波数偏差以内の希望の周波数へ変換することができるデジタルダウンコンバータの消費電力とコストを低減することができるという効果が得られる。

【 0 1 4 7 】

請求項 6 に記載のデジタルダウンコンバータによれば、第 1 の周波数変換器の周波数設定間隔 F D 1 の倍数が入力信号の周波数設定間隔 F D の倍数と一致する場合、第 1 の周波数変換器のみの動作で、周波数設定間隔 F D で入力されるデジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【 0 1 4 8 】

従って、更に、要求された周波数設定間隔の信号を許容周波数偏差以内の希望の周波数へ変換することができるデジタルダウンコンバータの消費電力を低減することができるという効果が得られる。

【 0 1 4 9 】

請求項 7 に記載のデジタルアップコンバータによれば、 $d F = F D / K \times L$ で計算される d F ステップの周波数設定間隔を持つ請求項 1 に記載の数値制御発振器を局部発振器として発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、出力信号の周波数設定間隔 F D が周波数変換器の周波数設定間隔 d F 以上でかつ F D が d F で割り切れる場合には、デジタルアップコンバータの出力信号の周波数設定間隔を F D とすることができる。

【 0 1 5 0 】

従って、 $M = F_s / F D \times K / L$ で計算される従来より少ない M 個の低容量の

振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号出力することができるデジタルアップコンバータの消費電力とコストを低減することができるという効果が得られる。

【0 1 5 1】

請求項 8 から請求項 1 0 に記載のデジタルアップコンバータによれば、周波数を変換するために用意された 2 個の周波数変換器の内、一方を $M 1$ 個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方を $M 2$ 個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、出力信号の周波数設定間隔 $F D$ が第 2 の周波数変換器の周波数設定間隔 $F D 2$ 以上でかつ $F D$ が $F D 2$ で割り切れない場合、出力信号の周波数設定間隔 $F D$ が第 2 の周波数変換器の周波数設定間隔 $F D 2$ 未満でかつ $F D 2$ が $F D$ で割り切れない場合、出力信号の周波数設定間隔 $F D$ が第 2 の周波数変換器の周波数設定間隔 $F D 2$ 以上でかつ $F D$ が $F D 2$ で割り切れる場合、あるいは $F D$ が $F D 2$ 未満でかつ $F D 2$ が $F D$ で割り切れる場合に対応できるデジタルアップコンバータを実現することができる。

【0 1 5 2】

従って、従来より少ない $M 1$ 個、及び $M 2$ 個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした 2 つの低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号を出力することができるデジタルアップコンバータの消費電力とコストを低減することができるという効果が得られる。

【0 1 5 3】

請求項 1 1 に記載のデジタルアップコンバータによれば、第 2 の周波数変換器の周波数設定間隔 $F D 2$ の倍数が出力信号の周波数設定間隔 $F D$ の倍数と一致する場合、第 2 の周波数変換器のみの動作で、デジタルアップコンバータの出力信号の周波数設定間隔を $F D$ とすることができる。

【0154】

従って、更に、要求された周波数設定間隔の信号を出力することができるデジタルアップコンバータの消費電力を低減することができるという効果が得られる。

【0155】

一方、請求項12から請求項14に記載の受信機によれば、復調器の要求する入力信号の周波数に受信信号の周波数を合わせるために用意された2個の周波数変換器の内、一方をM1個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方をM2個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、入力信号の周波数設定間隔FDが第1の周波数変換器の周波数設定間隔FDP以上でかつFDがFDPで割り切れない場合、入力信号の周波数設定間隔FDが第1の周波数変換器の周波数設定間隔FDP未満でかつFDPがFDで割り切れない場合、入力信号の周波数設定間隔FDが第1の周波数変換器の周波数設定間隔FDP以上でかつFDがFDPで割り切れる場合、あるいはFDがFDP未満でかつFDPがFDで割り切れる場合に対応できる受信機を実現することができる。

【0156】

従って、従来より少ないM1個、及びM2個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした2つの低スプリアスの数値制御発振器を利用して、周波数設定間隔FDで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる受信機の消費電力とコストを低減することができるという効果が得られる。

【0157】

請求項15に記載の受信機によれば、第1の周波数変換器の周波数設定間隔FD1の倍数が入力信号の周波数設定間隔FDの倍数と一致する場合、第1の周波数変換器のみの動作で、周波数設定間隔FDで入力される受信機の受信信号の周

波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【0158】

従って、更に、周波数設定間隔 FD で入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる受信機の消費電力を低減することができるという効果が得られる。

【0159】

請求項 16 から請求項 18 に記載の送信機によれば、変調器の出力する送信信号の周波数を目的の周波数に合わせるために用意された 2 個の周波数変換器の内、一方を $M1$ 個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方を $M2$ 個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、出力信号の周波数設定間隔 FD が第 2 の周波数変換器の周波数設定間隔 FDP 以上でかつ FD が FDP で割り切れない場合、出力信号の周波数設定間隔 FD が第 2 の周波数変換器の周波数設定間隔 FDP 未満でかつ FDP が FD で割り切れない場合、出力信号の周波数設定間隔 FD が第 2 の周波数変換器の周波数設定間隔 FDP 以上でかつ FD が FDP で割り切れる場合、あるいは FD が FDP 未満でかつ FDP が FD で割り切れる場合に対応できる送信機を実現することができる。

【0160】

従って、従来より少ない $M1$ 個、及び $M2$ 個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした 2 つの低スプリアスの数値制御発振器を利用して、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる送信機の消費電力とコストを低減することができるという効果が得られる。

【0161】

請求項 19 に記載の送信機によれば、第 2 の周波数変換器の周波数設定間隔 $FD2$ の倍数が送信信号の周波数設定間隔 FD の倍数と一致する場合、第 2 の周波数変換器のみの動作で、変調器の出力するベースバンド送信信号の周波数を目的

の送信信号の周波数に正確に合わせることができる。

【0 1 6 2】

従って、更に、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる送信機の消費電力を低減することができるという効果が得られる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態による数値制御発振器の構成を示すブロック図である。

【図 2】 従来の数値制御発振器と、同実施の形態の数値制御発振器とのスプリアス特性のシミュレーション結果を比較したグラフである。

【図 3】 第 1 の同実施の形態の数値制御発振器を用いたデジタルダウンコンバータの構成例を示すブロック図である。

【図 4】 第 1 の実施の形態の数値制御発振器を用いたデジタルアップコンバータの構成例を示すブロック図である。

【図 5】 第 1 の実施の形態の数値制御発振器を用いたデジタルダウンコンバータの変形例の構成を示すブロック図である。

【図 6】 第 1 の実施の形態の数値制御発振器を用いたデジタルアップコンバータの変形例の構成を示すブロック図である。

【図 7】 第 1 の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図である。

【図 8】 第 1 の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図である。

【図 9】 第 1 の実施の形態の数値制御発振器を用いた送信機の構成を示すブロック図である。

【符号の説明】

1・・・位相累算器、1 a・・・位相レジスタ、1 b・・・位相演算器、2・・・ROM、1 1・・・デジタルダウンコンバータ、1 2・・・周波数変換器、1 2 a・・・局部発振器、1 2 b、1 2 c・・・乗算器、1 3・・・デシメータ、1 3 a・・・実数軸デシメータ、1 3 b・・・虚数軸デシメータ、1 4・・・

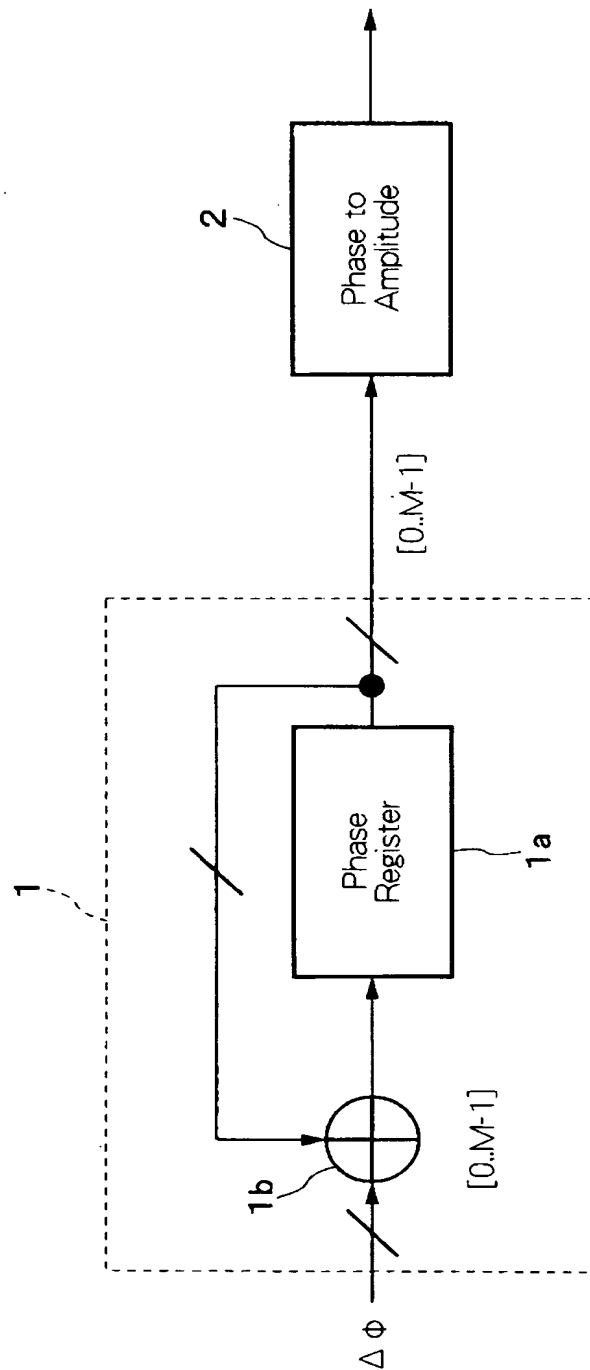
・ロールオフフィルタ、14 a・・・実数軸フィルタ、14 b・・・虚数軸フィルタ、21・・・ロールオフフィルタ、21 a・・・実数軸フィルタ、21 b・・・虚数軸フィルタ、22・・・インタポレータ、22 a・・・実数軸インタポレータ、22 b・・・虚数軸インタポレータ、23・・・周波数変換器、23 a・・・局部発振器、23 b、23 c・・・乗算器、23 d・・・減算器、31・・・周波数変換器、31 a・・・局部発振器、31 b、31 c・・・乗算器、32・・・デシメータ、32 a・・・実数軸デシメータ、32 b・・・虚数軸デシメータ、33・・・周波数変換器、33 a・・・局部発振器、33 b、33 c、33 d、33 e・・・乗算器、33 f・・・減算器、33 g・・・加算器、34・・・ロールオフフィルタ、34 a・・・実数軸フィルタ、34 b・・・虚数軸フィルタ、41・・・ロールオフフィルタ、41 a・・・実数軸フィルタ、41 b・・・虚数軸フィルタ、42・・・周波数変換器、42 a・・・局部発振器、42 b、42 c、42 d、42 e・・・乗算器、42 f・・・減算器、42 g・・・加算器、43・・・インタポレータ、43 a・・・実数軸インタポレータ、43 b・・・虚数軸インタポレータ、44・・・周波数変換器、44 a・・・局部発振器、44 b、44 c・・・乗算器、44 d・・・減算器、51・・・局部発振器、51 a・・・数値制御発振器、51 b・・・DAC、51 c・・・PLL回路、52・・・ミキサ、53・・・バンドパスフィルタ、54・・・ADC、55・・・復調器、61・・・変調器、62・・・ロールオフフィルタ、62 a・・・実数軸フィルタ、62 b・・・虚数軸フィルタ、63・・・周波数変換器、63 a・・・局部発振器、63 b、63 c、63 d、63 e・・・乗算器、63 f・・・減算器、63 g・・・加算器、64 a・・・実数軸インタポレータ、64 b・・・虚数軸インタポレータ、65・・・ローパスフィルタ、66 a、66 b・・・乗算器、67 a・・・バンドパス実数軸フィルタ、67 b・・・バンドパス虚数軸フィルタ、67 c・・・減算器、67 d・・・加算器、68・・・インタポレーションバンドパスフィルタ、69 a・・・実数軸用DAC、69 b・・・虚数軸用DAC、70・・・局部発振器、70 a・・・数値制御発振器、70 b・・・DAC、70 c・・・PLL回路、71・・・直交変調器、71 a、71 b・・・乗算器、71 c・・・減算器、81・・・局部発振器、81 a

・・・数値制御発振器、81b・・・DAC、81c・・・PLL回路、82・・・直交復調器、82a・・・実数軸ミキサ、82b・・・虚数軸ミキサ、83・・・バンドパスフィルタ、83a・・・実数軸バンドパスフィルタ、83b・・・虚数軸バンドパスフィルタ、84・・・ADC、84a・・・実数軸用ADC、84b・・・虚数軸用ADC、85・・・周波数変換器、85a・・・局部発振器、85b、85c、85d、85e・・・乗算器、85f・・・減算器、85g・・・加算器、86・・・デシメータ、86a・・・実数軸デシメータ、86b・・・虚数軸デシメータ、87・・・ロールオフフィルタ、87a・・・実数軸フィルタ、87b・・・虚数軸フィルタ

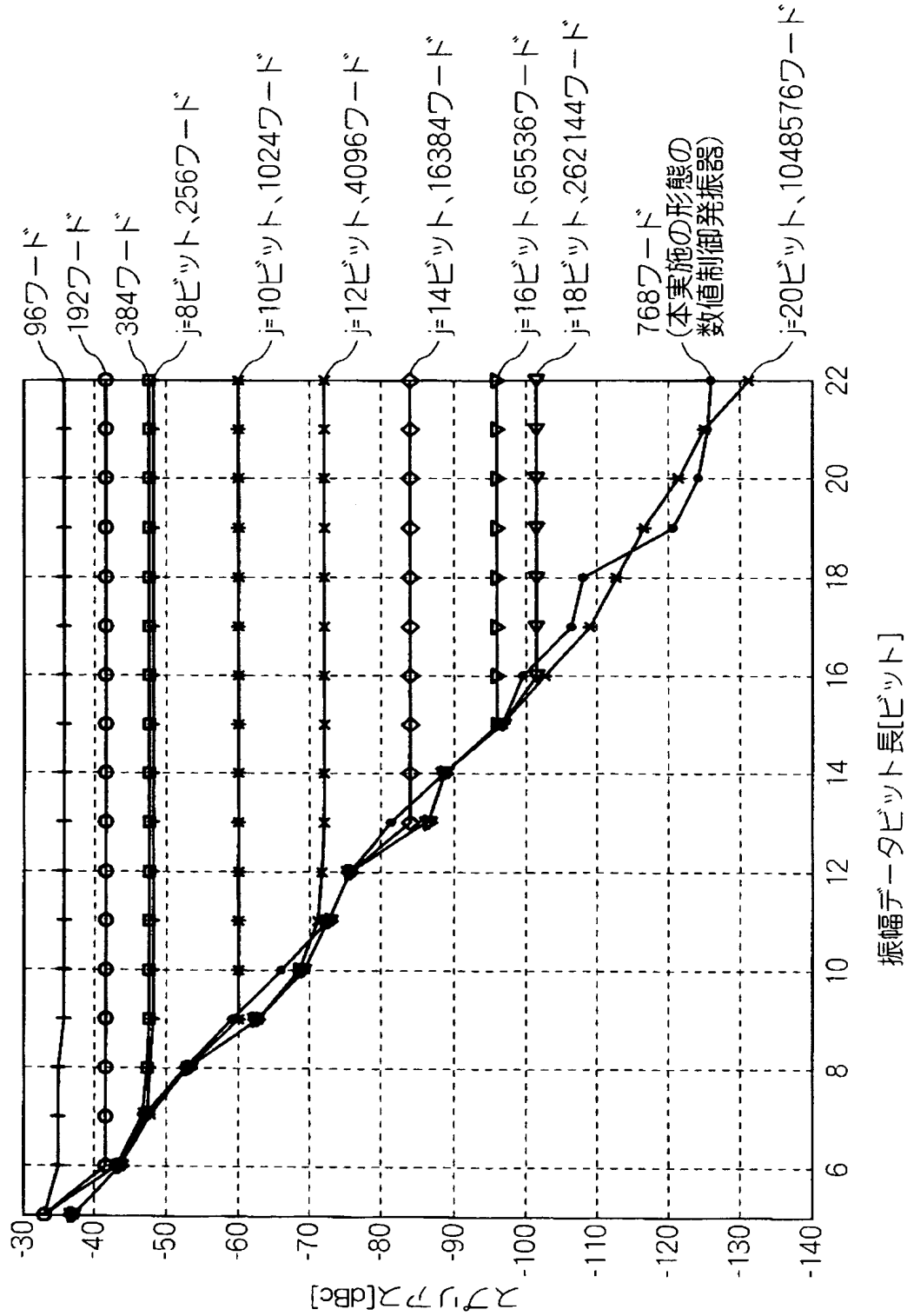
【書類名】

図面

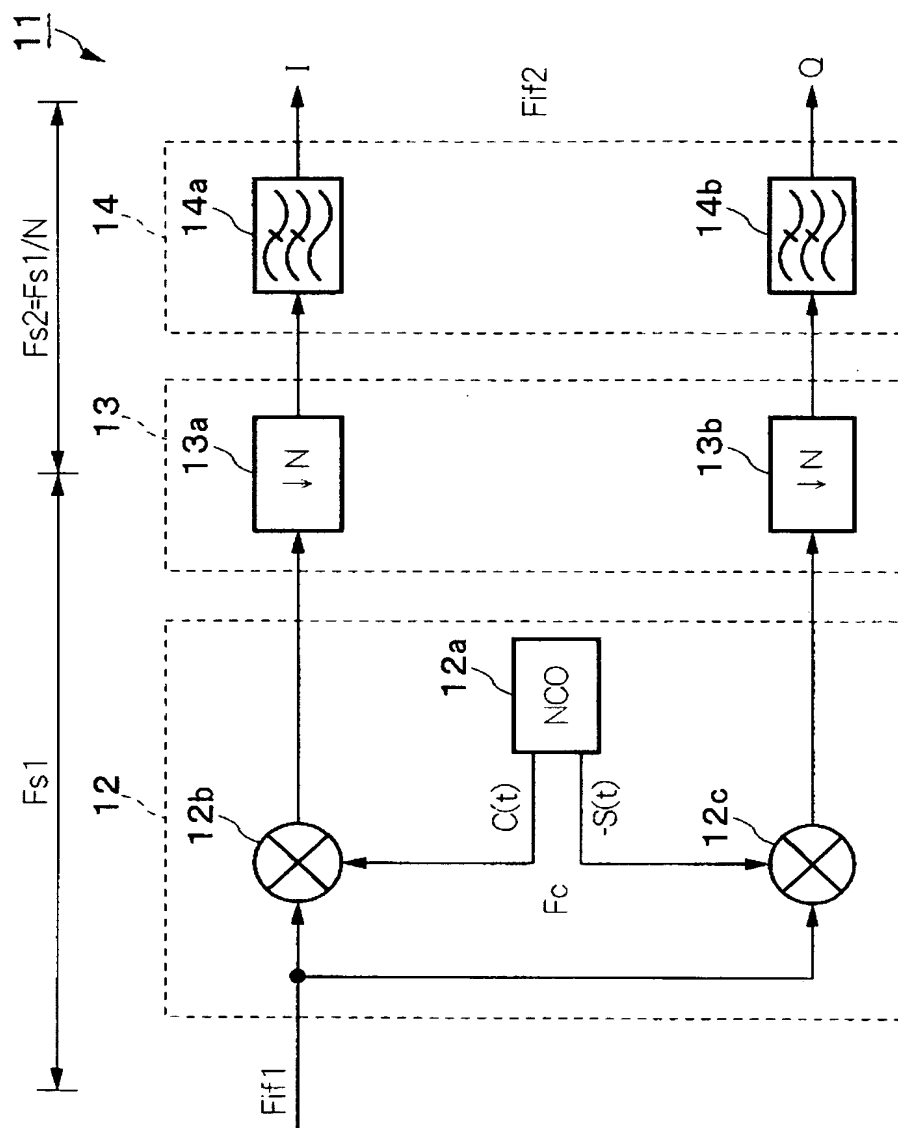
【図 1】



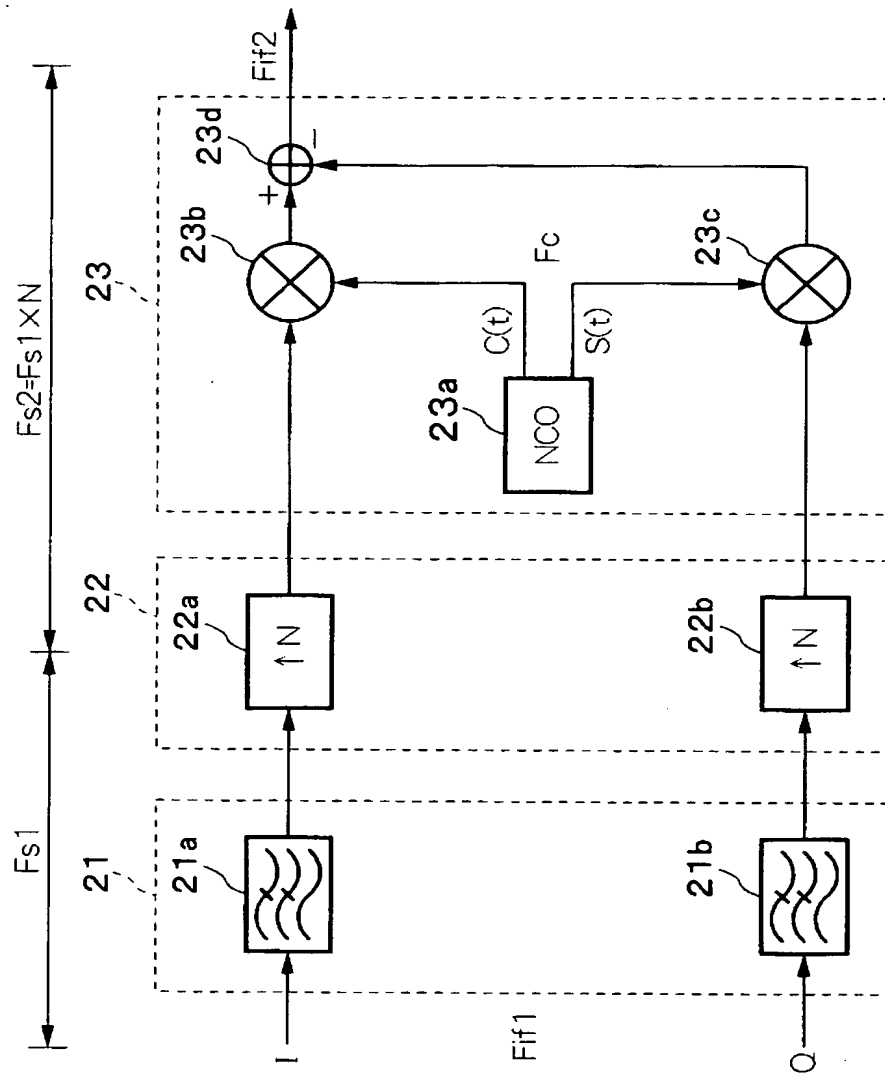
【図2】



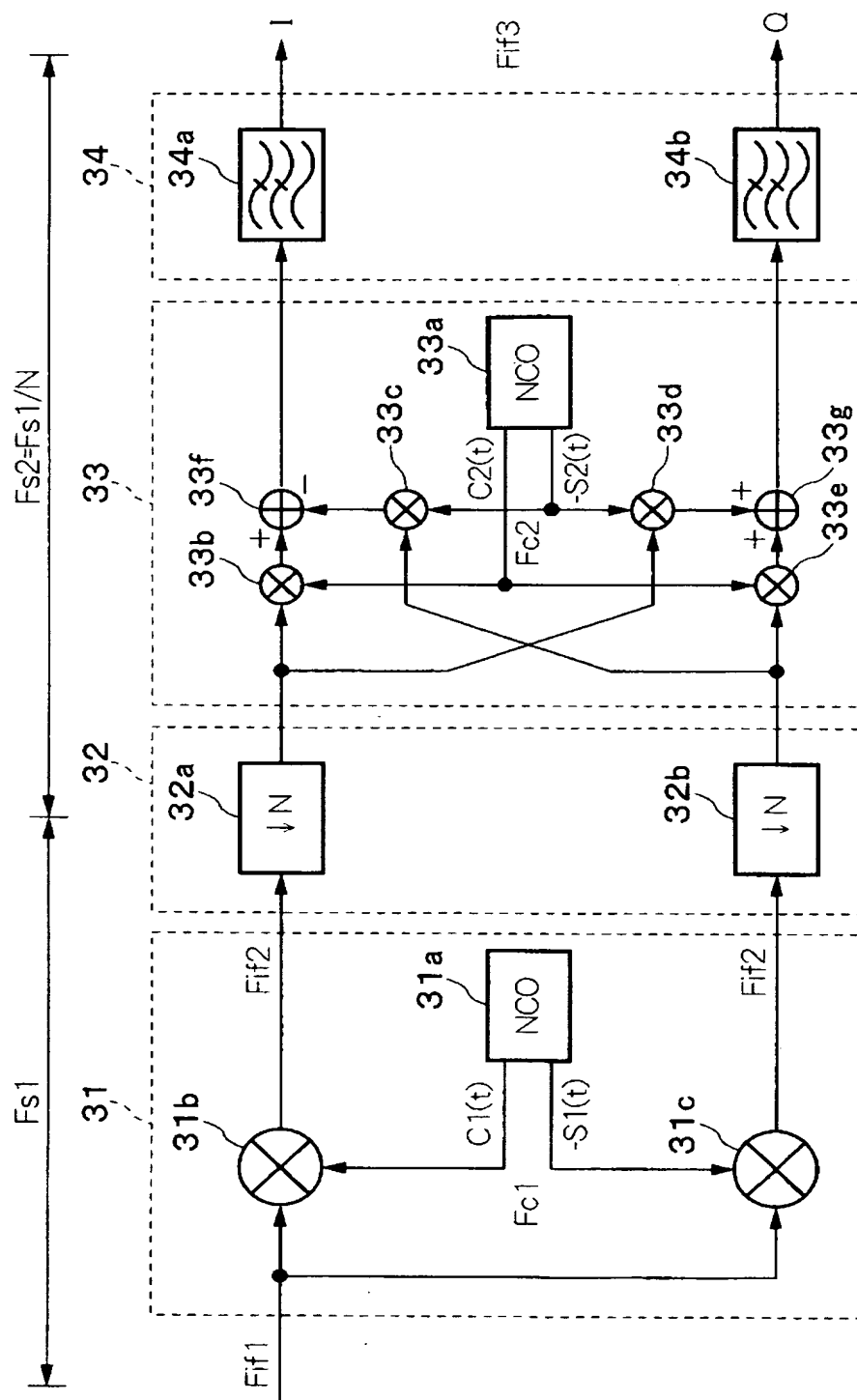
【図 3】



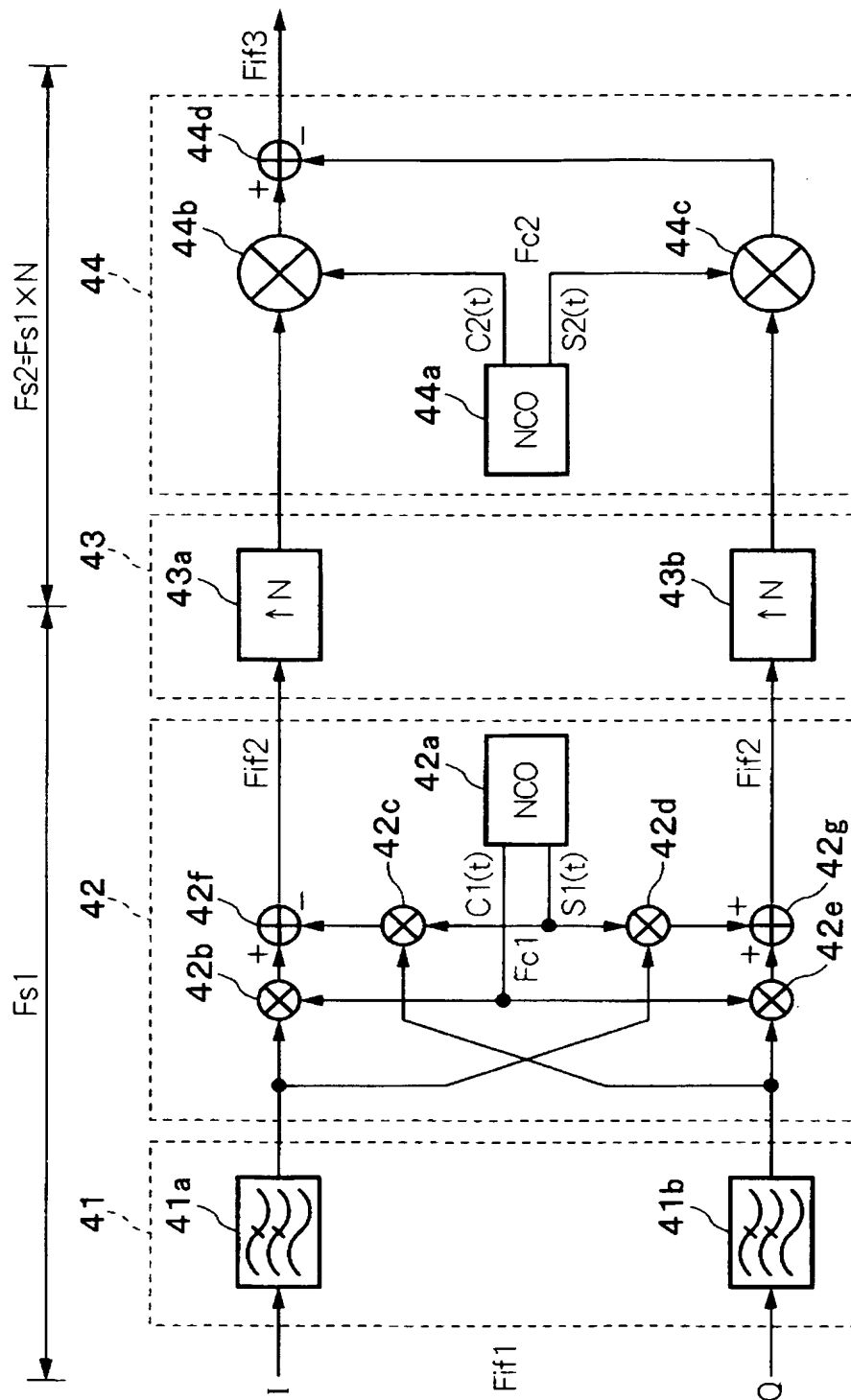
【図 4】



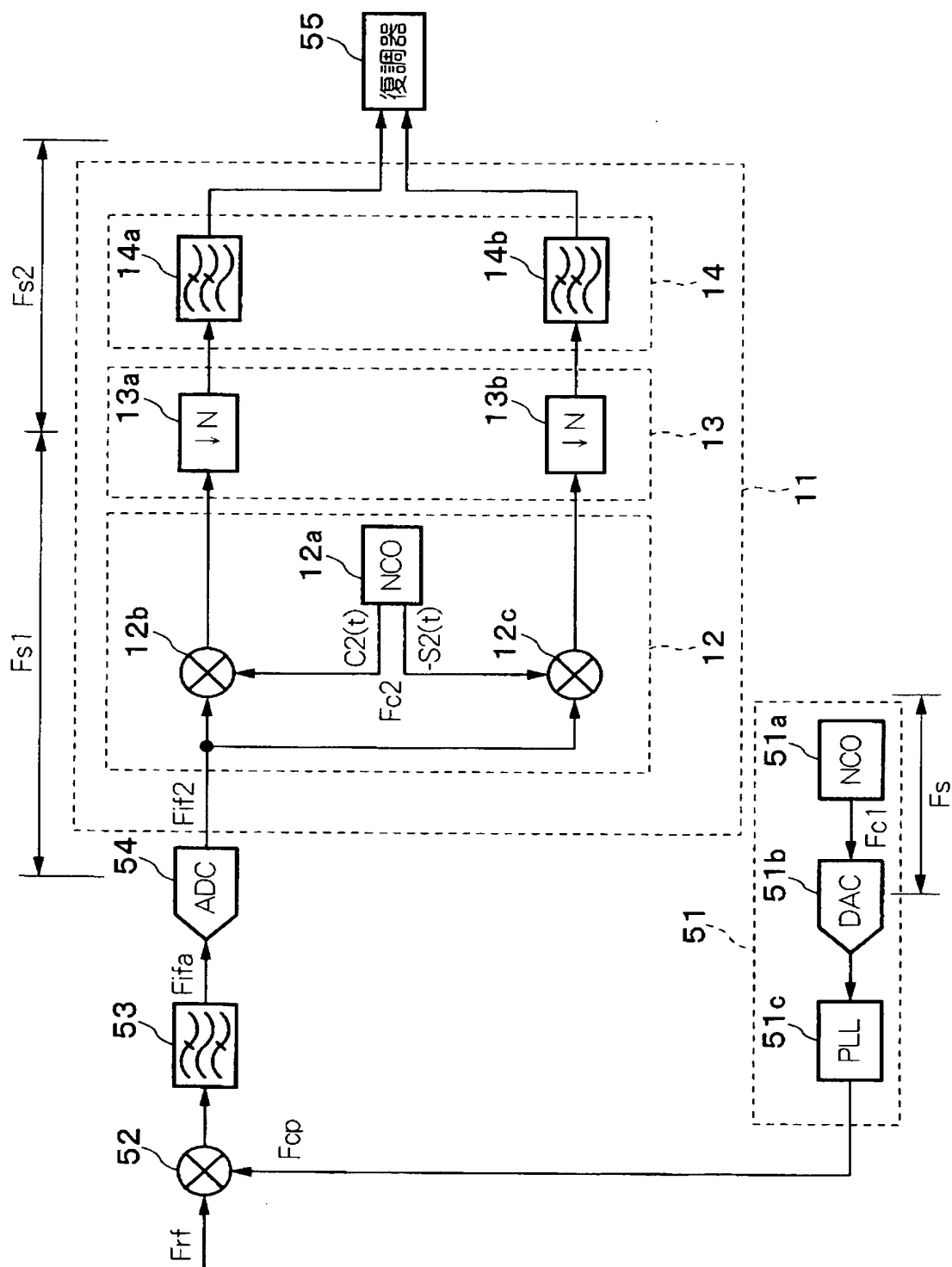
【図 5】



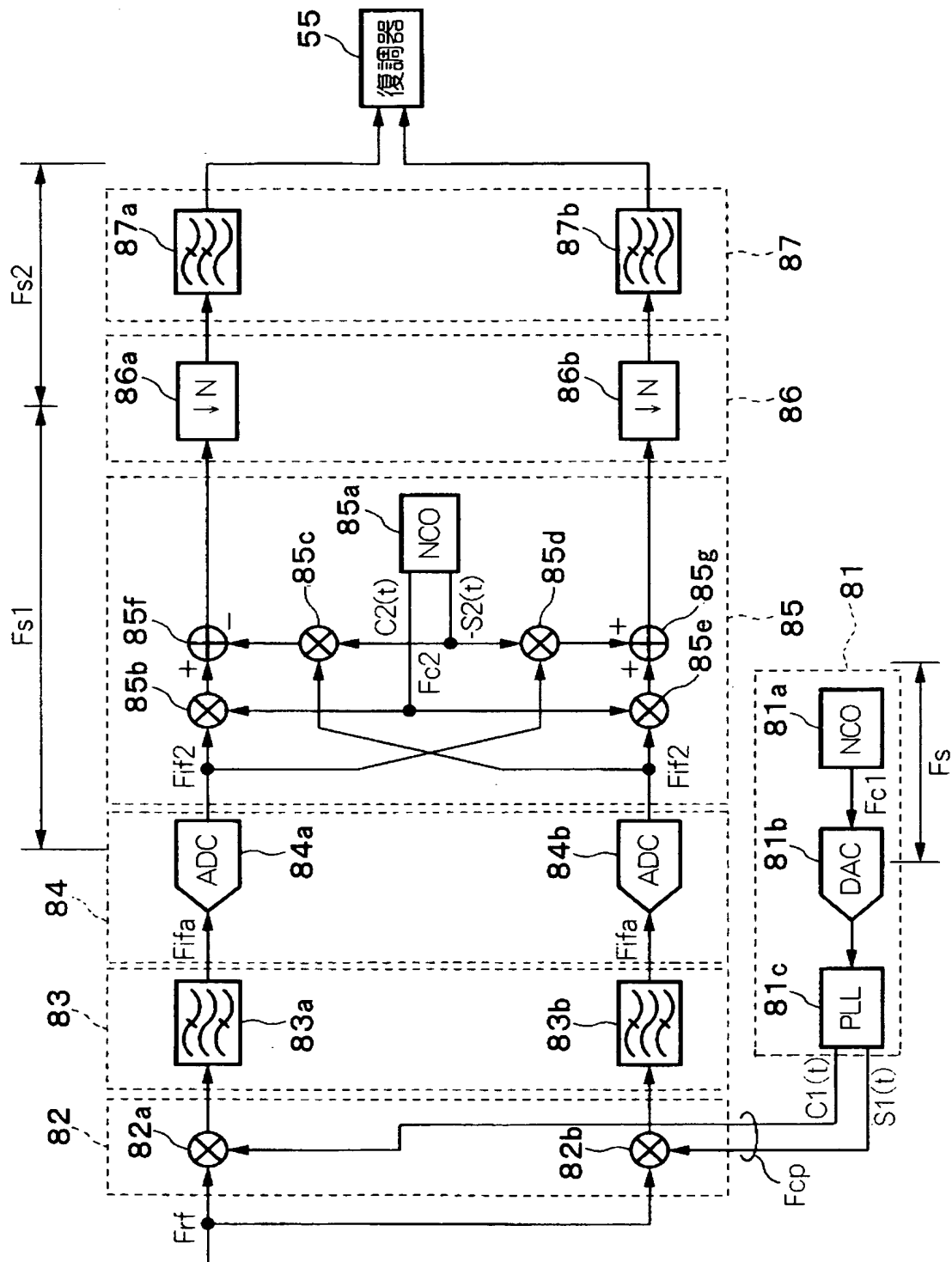
【図 6】



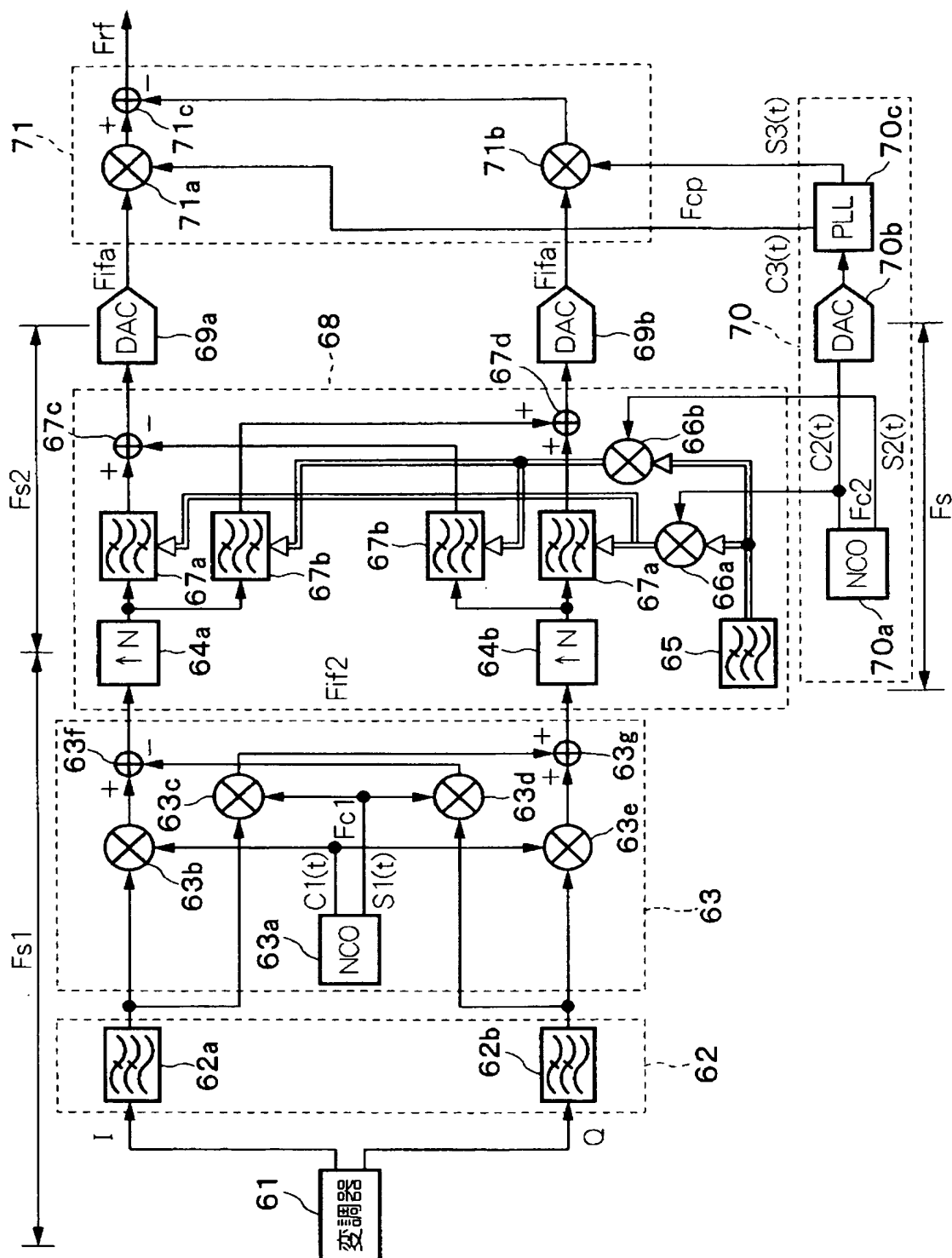
【図 7】



【図 8】



【图9】



【書類名】 要約書

【要約】

【課題】 要求される周波数偏差を守りつつ回路規模と消費電力を削減し、スプリアスの発生を可能な限り抑圧した数値制御発振器を提供する。

【解決手段】 信号のサンプリング周波数を F_s 、信号の周波数設定間隔の上限値を F_D とし、 K 及び L を任意の整数とすると、位相累算器 1 は、入力された位相差データと位相レジスタ 1 a の出力する位相データとを、位相演算器 1 b において $M = F_s / F_D \times K / L$ で計算される M の中で整数となる M を法とするモジュロ演算により加減算し、位相差データの累算を行い位相データを生成する。一方、ROM 2 は、位相累算器 1 の出力端子とそのアドレス端子が接続され、記憶された位相振幅変換テーブルに従って、アドレス端子に入力された位相データに対応した $dF = F_D / K \times L$ で計算される dF ステップの周波数設定間隔で設定された信号の振幅データをデータ端子から出力する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-359773
受付番号	50201877680
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 14 年 12 月 12 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	598045058
【住所又は居所】	神奈川県横浜市鶴見区菅沢町 2-7
【氏名又は名称】	株式会社サムスン横浜研究所

【代理人】

申請人

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【選任した代理人】

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所

【氏名又は名称】	渡邊 隆
----------	------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100094400
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所

次頁有

認定・付加情報 (続き)

【氏名又は名称】 鈴木 三義
【選任した代理人】
【識別番号】 100107836
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビ
ル 志賀国際特許事務所
【氏名又は名称】 西 和哉
【選任した代理人】
【識別番号】 100108453
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビ
ル 志賀国際特許事務所
【氏名又は名称】 村山 靖彦

次頁無

【書類名】 出願人名義変更届
【提出日】 平成15年11月18日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2002-359773
【承継人】
 【識別番号】 390019839
 【氏名又は名称】 三星電子株式会社
【承継人代理人】
 【識別番号】 100064908
 【弁理士】
 【氏名又は名称】 志賀 正武
【手数料の表示】
 【予納台帳番号】 008707
 【納付金額】 4,200円
【提出物件の目録】
 【物件名】 譲渡証 1
 【援用の表示】 平成15年11月18日付提出の特願2002-347661の
 ものを援用する。
 【包括委任状番号】 9912086

認定・付加情報

特許出願の番号	特願 2002-359773
受付番号	50301905109
書類名	出願人名義変更届
担当官	末武 実 1912
作成日	平成 15 年 12 月 22 日

< 認定情報・付加情報 >

【承継人】

【識別番号】	390019839
【住所又は居所】	大韓民国京畿道水原市靈通区梅灘洞 4 1 6
【氏名又は名称】	三星電子株式会社
【承継人代理人】	申請人
【識別番号】	100064908
【住所又は居所】	東京都中央区八重洲 2 丁目 3 番 1 号 志賀国際特 許事務所
【氏名又は名称】	志賀 正武

特願 2 0 0 2 - 3 5 9 7 7 3

出 願 人 履 歴 情 報

識別番号

[5 9 8 0 4 5 0 5 8]

1. 変更年月日

1 9 9 8 年 3 月 2 0 日

[変更理由]

新規登録

住 所

神奈川県横浜市鶴見区菅沢町 2 - 7

氏 名

株式会社サムスン横浜研究所

特願 2 0 0 2 - 3 5 9 7 7 3

出 願 人 履 歷 情 報

識別番号

[3 9 0 0 1 9 8 3 9]

1. 変更年月日

1 9 9 3 年 2 月 2 6 日

[変更理由]

住所変更

住 所

大韓民国京畿道水原市八達区梅灘洞 4 1 6

氏 名

三星電子株式会社

2. 変更年月日

2 0 0 3 年 1 2 月 4 日

[変更理由]

住所変更

住 所

大韓民国京畿道水原市靈通区梅灘洞 4 1 6

氏 名

三星電子株式会社